

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yukio NISHIDA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MANUFACTURING METHOD FOR A SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-066293	March 12, 2003

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 3月12日

出願番号

Application Number:

特願2003-066293

[ST.10/C]:

[JP2003-066293]

出願人

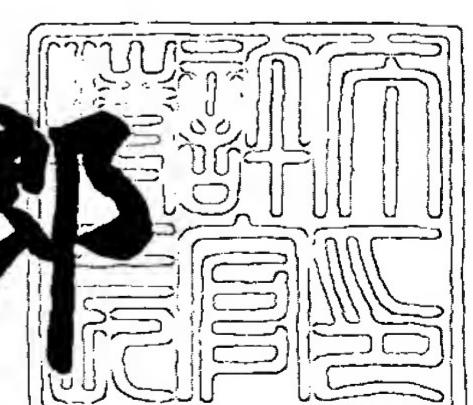
Applicant(s):

三菱電機株式会社

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025337

【書類名】 特許願

【整理番号】 543009JP01

【提出日】 平成15年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 西田 征男

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

【氏名】 太田 和伸

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 (a) 半導体基板上にゲート絶縁膜を形成する工程と、
(b) n型の不純物を含む第1のポリシリコン膜を前記ゲート絶縁膜上に形成する工程と、
(c) 前記不純物を含み、かつ前記第1のポリシリコン膜よりも前記不純物の濃度が低いポリシリコン膜、あるいはノンドープトポリシリコン膜を、第2のポリシリコン膜として前記第1のポリシリコン膜上に形成する工程と、
(d) 前記第2のポリシリコン膜の上方から、前記第1、2のポリシリコン膜を部分的にエッチングして、前記ゲート絶縁膜上に前記第1、2のポリシリコン膜を含むゲート電極を形成する工程と、
(e) 前記工程(d)の後に、前記ゲート電極の側面にサイドウォールを形成する工程と
を備え、

前記工程(d)における前記第1、2のポリシリコン膜に対するエッチングによって、前記ゲート電極の前記第1のポリシリコン膜の側面が前記第2のポリシリコン膜の側面よりも凹み、その結果、前記ゲート電極の側面にノッチが形成され、

前記工程(e)において、前記ノッチを充填する前記サイドウォールを形成する、半導体装置の製造方法。

【請求項2】 前記第1のポリシリコン膜は、前記不純物を含むドープトポリシリコン膜であって、

前記第2のポリシリコン膜は、前記不純物を含むドープトポリシリコン膜あるいはノンドープトポリシリコン膜である、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第2のポリシリコン膜は、前記不純物を含むドープトポリシリコン膜あるいはノンドープトポリシリコン膜であって、

前記工程(b)は、

(b-1) 前記ゲート絶縁膜上に第3のポリシリコン膜を形成する工程と、
(b-2) 前記第3のポリシリコン膜に前記不純物をイオン注入する工程と
を含み、

前記第1のポリシリコン膜は、前記工程(b-2)の実行後の前記第3のポリシリコン膜であって、

(f) 前記工程(d)の前に、前記工程(b)の実行によって得られた構造に対してアニール処理を行う工程を更に備える、請求項1に記載の半導体装置の製造方法。

【請求項4】 前記工程(b)は、

(b-1) 前記ゲート絶縁膜上に第3のポリシリコン膜を形成する工程と、
(b-2) 前記第3のポリシリコン膜の第1の領域に、第1の注入量で前記不純物をイオン注入する工程と、
(b-3) 前記第3のポリシリコン膜の第2の領域に、前記第1の注入量よりも多い第2の注入量で前記不純物をイオン注入する工程と
を含み、

前記第1のポリシリコン膜は、前記工程(b-3)の実行後の前記第3のポリシリコン膜であって、

前記ゲート電極は、第2、3のゲート電極を含み、

前記工程(d)において、前記第3のポリシリコン膜の前記第1、2の領域を部分的にエッティングして、前記第3のポリシリコン膜の前記第1の領域と前記第2のポリシリコン膜とを含む前記第2のゲート電極と、前記第3のポリシリコン膜の前記第2の領域と前記第2のポリシリコン膜とを含む前記第3のゲート電極とを、前記ゲート絶縁膜上に形成し、

前記第2のゲート電極の側面に形成される前記ノッチは、前記第3のゲート電極の側面に形成される前記ノッチよりも小さい、請求項1に記載の半導体装置の製造方法。

【請求項5】 前記第2のポリシリコン膜は、前記不純物を含むドープトポリシリコン膜あるいはノンドープトポリシリコン膜であって、

(f) 前記工程(d)の前に、前記工程(b)の実行に得られた構造に対して

アニール処理を行う工程を更に備える、請求項4に記載の半導体装置の製造方法

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ゲート電極の側面にノッチを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

半導体装置の性能向上には、優れた特性を持つMOSトランジスタの開発が不可欠である。そして、半導体装置の高速動作を実現するために、MOSトランジスタのドレイン電流を大きくし、かつその寄生容量を小さくすることが求められている。特に、ゲート絶縁膜を介したゲート電極とソース・ドレイン領域との重なり部分に生じるオーバーラップ容量がトランジスタ特性に与える影響は大きく、その低減が大きな課題となっている。

【0003】

非特許文献1には、このオーバーラップ容量を低減する手法が開示されている。非特許文献1に記載されている技術は、ゲート電極の底部にノッチを形成することによって、ゲート絶縁膜を介したゲート電極とソース・ドレイン領域との重なり部分（以後、「ゲートオーバーラップ量L_{ov}」と呼ぶ）を低減し、それによってオーバーラップ容量を低減するものである。

【0004】

非特許文献1に記載の技術では、ゲート電極の底部にだけノッチを形成しているため、ゲート電極の底部のゲート長は、その上部のゲート長よりも短くなる。従って、オーバーラップ容量を低減するとともに、通常のプロセスで実現できる最小ゲート長以下のゲート長を実現することができる。更に、ゲート電極にノッチを形成した場合でも、ゲート電極の上部のゲート長は変化しないため、ゲート抵抗の増加を防止することができる。

【0005】

MOSトランジスタのゲート電極に、このようなノッチを形成する方法として、例えば特許文献1，2に記載されている方法がある。特許文献1，2に記載されているノッチ形成方法は、とともに、ゲート電極中の不純物濃度の違いによりゲート電極の側壁酸化速度が変化するという特性を利用した技術である。また、その他のノッチ形成方法が特許文献3に開示されている。

【0006】

なお、オーバーラップ容量を低減する方法として、ゲート電極の側面にノッチを設ける手法について説明したが、他の方法として、ゲート電極の側面に2重にサイドウォールを設けて、ゲートオーバーラップ量 L_{ov} を低減する手法が非特許文献2，3に開示されている。

【0007】

【特許文献1】

特開2002-222947号公報

【特許文献2】

特開平9-82958号公報

【特許文献3】

特開2002-305287号公報

【非特許文献1】

T.Ghani,et.al.,IEDM Technical Digest,pp.415-418,1999

【非特許文献2】

T.Matumoto,et.al.,IEDM Technical Digest,pp.219-222,2001

【非特許文献3】

K.Ohta,et.al.,Extended Abstracts of the 2001 International Conference on SSDM,pp.148-149,2001

【0008】

【発明が解決しようとする課題】

上述のように、特許文献1，2に記載の技術では、ゲート電極の側壁を酸化することによってノッチを形成しているため、次のような問題が生じる。

【0009】

一般的にゲート電極の酸化量を正確に制御することは困難であり、ゲート電極の側壁を酸化すると、本来止めるべき箇所よりも酸化が進行して、所望のノッチ形状を得ることが困難である。

【0010】

通常、オーバーラップ容量を低減するためにゲートオーバーラップ量 L_{ov} を少なくとすると、ソース・ドレイン領域の寄生抵抗が増加するため、ドレイン電流が減少する。従って、一般的にオーバーラップ容量の減少と、ドレイン電流の増加とはトレードオフの関係にあり、トランジスタの性能を最大限に引き出すためには、適切なゲートオーバーラップ量 L_{ov} を設計して、それを正確に実現する必要がある。

【0011】

しかしながら、上述のように、特許文献1、2に記載の技術では、所望のノッチ形状を得ることが困難であるため、正確なゲートオーバーラップ量 L_{ov} を実現することが困難である。従って、特許文献1、2に記載の技術では、トランジスタの性能を最大限に引き出すことができない。

【0012】

そこで、本発明は上述の問題に鑑みて成されたものであり、所望の形状のノッチをゲート電極の側面に形成することが可能な技術を提供することを目的とする。

【0013】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、(a) 半導体基板上にゲート絶縁膜を形成する工程と、(b) n型の不純物を含む第1のポリシリコン膜を前記ゲート絶縁膜上に形成する工程と、(c) 前記不純物を含み、かつ前記第1のポリシリコン膜よりも前記不純物の濃度が低いポリシリコン膜、あるいはノンドープトポリシリコン膜を、第2のポリシリコン膜として前記第1のポリシリコン膜上に形成する工程と、(d) 前記第2のポリシリコン膜の上方から、前記第1、2のポリシリコン膜を部分的にエッティングして、前記ゲート絶縁膜上に前記第1、2のポリシリコン膜を含むゲート電極を形成する工程と、(e) 前記工程(d)の

後に、前記ゲート電極の側面にサイドウォールを形成する工程とを備え、前記工程（d）における前記第1、2のポリシリコン膜に対するエッチングによって、前記ゲート電極の前記第1のポリシリコン膜の側面が前記第2のポリシリコン膜の側面よりも凹み、その結果、前記ゲート電極の側面にノッチが形成され、前記工程（e）において、前記ノッチを充填する前記サイドウォールを形成する。

【0014】

【発明の実施の形態】

実施の形態1.

図1～7は、本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態1に係る半導体装置は、例えば、ロジックデバイスと高周波デバイスとを備えるシステムオンチップ（S○C）であって、ロジックデバイス及び高周波デバイスのそれぞれは、nMOSトランジスタとpMOSトランジスタとを有している。

【0015】

本実施の形態1に係る半導体装置は、nMOSトランジスタ及びpMOSトランジスタのそれぞれのゲート電極がn型であるシングルゲート構造を有している。更に、本実施の形態1に係るnMOSトランジスタは表面チャネル構造を有し、pMOSトランジスタは埋め込みチャネル構造を有している。以下に、図1～7を参照して、本実施の形態1に係る半導体装置の製造方法を説明する。

【0016】

まず図1に示すように、周知のLOCOS分離技術やトレンチ分離技術によって、例えばp型のシリコン基板である半導体基板1の上面内に素子分離絶縁膜2を形成する。

【0017】

素子分離絶縁膜2は、例えばシリコン酸化膜から成り、半導体基板1の上面を複数の領域に区分している。

【0018】

次に図1に示されるように、ロジックデバイスが形成される領域（以後、「ロジック領域」と呼ぶ）において、nMOSトランジスタが形成される領域（以後

、「nMOS領域」と呼ぶ)における半導体基板1の上面内にp型のウェル領域3pを形成し、pMOSトランジスタが形成される領域(以後、「pMOS領域」と呼ぶ)における半導体基板1の上面内にn型のウェル領域3nを形成する。更に、高周波デバイスが形成される領域(以後、「RF領域」と呼ぶ)において、nMOS領域における半導体基板1の上面内にp型のウェル領域33pを形成し、pMOS領域における半導体基板1の上面内にn型のウェル領域33nを形成する。そして、ウェル領域3n, 33n内に、p型の埋め込みチャネルとなる埋め込み層(図示せず)を形成する。

【0019】

次に、半導体基板1を上面から酸化して、例えば膜厚3.0nmのゲート絶縁膜4を半導体基板1上に形成する。

【0020】

次に図2に示されるように、例えば厚さ10nmのポリシリコン膜5をゲート絶縁膜4及び素子分離絶縁膜2の上に形成する。このポリシリコン膜5は、n型の不純物、例えばリン原子が濃度 $1 \times 10^{19} / \text{cm}^3$ でほぼ一様に分布したドープトポリシリコン膜であって、PCl₃(三塩化リン)などのリンを含有する化合物を含んだ材料ガス中でのCVD成長により形成することができる。

【0021】

次に図3に示されるように、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜5を露出する開口パターンを有するフォトレジスト6aをポリシリコン膜5上に形成する。そして、かかるフォトレジスト6aをマスクにしてリンをイオン注入して、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜5のリン濃度を $5 \times 10^{20} / \text{cm}^3$ とする。このとき、リンがポリシリコン膜5の下方にまで届かない程度の低エネルギー、例えば3keVでリンをイオン注入する。そして、フォトレジスト6aを除去する。なお図中では、ポリシリコン膜5において、リン濃度が $5 \times 10^{20} / \text{cm}^3$ である領域を右上がりの斜線で示している。

【0022】

次に図4に示されるように、RF領域のpMOS領域におけるポリシリコン膜

5を露出する開口パターンを有するフォトレジスト6bをポリシリコン膜5上に形成する。そして、図3を参照して説明した工程、つまりロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜5にリンをイオン注入する工程におけるリンの注入量よりも多い注入量で、フォトレジスト6bをマスクにしてリンをイオン注入し、RF領域のpMOS領域におけるポリシリコン膜5のリン濃度を、 $9 \times 10^{20}/\text{cm}^3$ とする。このときも、リンがポリシリコン膜5の下方にまで届かない程度の低エネルギー、例えば3keVでリンをイオン注入する。そして、フォトレジスト6bを除去する。なお図中では、ポリシリコン膜5において、リン濃度が $9 \times 10^{20}/\text{cm}^3$ である領域を左上がりの斜線で示している。

【0023】

上述のように、ロジック領域のnMOS領域におけるポリシリコン膜5にはリンのイオン注入が実行されないため、そのリン濃度は依然 $1 \times 10^{19}/\text{cm}^3$ であり、ロジック領域のpMOS領域と、RF領域のpMOS領域及びnMOS領域とにおけるポリシリコン膜5にはリンがイオン注入されて、それらのリン濃度は上述のようになる。

【0024】

次に図5に示されるように、例えば厚さ200nmのポリシリコン膜7をポリシリコン膜5上に形成する。このポリシリコン膜7は、リンのイオン注入前のポリシリコン膜5と同様に、n型の不純物、例えばリン原子が濃度 $1 \times 10^{19}/\text{cm}^3$ でほぼ一様に分布したドープトポリシリコン膜であって、PCl₃（三塩化リン）などのリンを含有する化合物を含んだ材料ガス中のCVD成長により形成することができる。

【0025】

そして、ゲート抵抗の低減のために、例えばタンゲステン(W)から成る金属膜8をポリシリコン膜7上に形成し、後の工程でハードマスクとして使用されるシリコン窒化膜9をかかる金属膜8上に形成する。

【0026】

次に、シリコン窒化膜9上に所定の開口パターンを有するフォトレジスト（図

示せず) を形成し、かかるフォトレジストをマスクに用いて、シリコン窒化膜9をパターンニングする。そして、パターンニング後のシリコン窒化膜9をマスクに用いて金属膜8をエッティングする。

【0027】

次に、再度シリコン窒化膜9をマスクに用いつつ、ゲート絶縁膜4をエッティングストップとして、プラズマ異方性エッティングによって、ポリシリコン膜5, 7をエッティングする。これにより、図6に示されるように、ロジック領域のnMOS領域及びpMOS領域におけるゲート絶縁膜4上に、ゲート電極10n, 10pがそれぞれ形成され、RF領域のnMOS領域及びpMOS領域におけるゲート絶縁膜4上に、ゲート電極40n, 40pがそれぞれ形成される。

【0028】

ゲート電極10nは、ポリシリコン膜5におけるリン濃度が $1 \times 10^{19}/\text{cm}^3$ である領域と、ポリシリコン膜7と、金属膜8とを含み、各ゲート電極10p, 40nは、ポリシリコン膜5におけるリン濃度が $5 \times 10^{20}/\text{cm}^3$ である領域と、ポリシリコン膜7と、金属膜8とを含み、ゲート電極40pは、ポリシリコン膜5におけるリン濃度が $9 \times 10^{20}/\text{cm}^3$ である領域と、ポリシリコン膜7と、金属膜8とを含んでいる。そして、ゲート電極10n, 10p, 40n, 40pのそれぞれの上面にはシリコン窒化膜9が形成されている。更に、ゲート電極10p, 40n, 40pのそれぞれの側面の底部にはノッチが形成されている。

【0029】

一般的に、ポリシリコン膜に含まれるp型の不純物濃度が高いほど、ポリシリコン膜に対するエッティングスピードが速くなる。そして、本実施の形態1では、ロジック領域のpMOS領域と、RF領域のnMOS領域及びpMOS領域とでは、上層のポリシリコン膜7よりも下層のポリシリコン膜5の方がリン濃度が高いため、ポリシリコン膜5に対するエッティングスピードの方がポリシリコン膜7に対するそれよりも速くなる。その結果、ゲート電極10p, 40n, 40pのそれぞれのポリシリコン膜5の側面は、ポリシリコン膜7の側面よりも凹み、各ゲート電極10p, 40n, 40pの側面の底部にノッチが形成される。

【0030】

更に、本実施の形態1では、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜5のリン濃度は互いに同じであり、かつそれよりもRF領域のpMOS領域におけるポリシリコン膜5のリン濃度の方が高い。従って、ゲート電極10pに形成されるノッチ15pとゲート電極40nに形成されるノッチ45nとは互いに大きさが同じであり、ゲート電極40pに形成されるノッチ45pは、ノッチ15p, 45nよりも大きくなる。なお、ロジック領域のnMOS領域においては、ポリシリコン膜5, 7のリン濃度は互いに同じであるため、ゲート電極10nの側面にはノッチが形成されない。

【0031】

また、ゲート電極の側面の底部に形成されるノッチの大きさは、エッチング条件、ポリシリコン膜5の膜厚、及び下層のポリシリコン膜5と上層のポリシリコン膜7との間の不純物濃度差などを調整することによって容易に制御できる。

【0032】

本実施の形態1では、ポリシリコン膜5, 7をエッチングする際には、 Cl_2 と O_2 との混合ガスを使用するが、例えば、この混合ガス中の Cl_2 の割合を大きくすることによって、ノッチを大きくすることができます。また、エッチング時の混合ガスのガス圧を大きくしたり、RFパワーを下げることによっても、ノッチを大きくすることができます。

【0033】

次に、ロジック領域及びRF領域のpMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジスト及びシリコン窒化膜9をマスクに用いて、例えばボロンをイオン注入し、その後フォトレジストを除去する。これによって、図6に示されるように、p型の不純物領域であるp型エクステンション領域11pがウェル領域3nの上面内に形成される。同時に、p型の不純物領域であるp型エクステンション領域41pがウェル領域33nの上面内に形成される。

【0034】

次に、ロジック領域及びRF領域のnMOS領域を開口するフォトレジスト（

図示せず) をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジスト及びシリコン窒化膜9をマスクに用いて、例えばヒ素をイオン注入し、その後フォトレジストを除去する。これによって、図6に示されるように、n型の不純物領域であるn型エクステンション領域11nがウェル領域3pの上面内に形成される。同時に、n型の不純物領域であるn型エクステンション領域41nがウェル領域33pの上面内に形成される。

【0035】

次に、ノッチ15p, 45n, 45pを充填するシリコン窒化膜を全面に堆積して、半導体基板1の深さ方向にエッティングレートが高い異方性ドライエッティング法によって、かかるシリコン窒化膜をエッティングする。これにより、図7に示されるように、各ゲート電極10n, 10p, 40n, 40pの側面上と、シリコン窒化膜9の側面上とに、シリコン窒化膜から成るサイドウォール12が形成される。そして、このサイドウォール12によって、ノッチ15p, 45n, 45pは充填される。

【0036】

次に、ウェル領域3n, 33nの上面内にp型不純物領域13p, 43pをそれぞれ形成し、ウェル領域3p, 33pの上面内にn型不純物領域13n, 43nをそれぞれ形成する。具体的には、まずロジック領域及びRF領域のpMOS領域を開口するフォトレジスト(図示せず)をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジスト、シリコン窒化膜9及びサイドウォール12をマスクに用いて、例えばボロンをイオン注入し、その後フォトレジストを除去する。このときのボロンのイオン注入量は、p型エクステンション領域11p, 41pを形成する際のボロンのイオン注入量よりも多く設定されている。これによって、図7に示されるように、p型エクステンション領域11pよりも不純物濃度が高いp型不純物領域13pが、ウェル領域3nの上面内に形成される。同時に、p型エクステンション領域41pよりも不純物濃度が高いp型不純物領域43pが、ウェル領域33nの上面内に形成される。

【0037】

次に、ロジック領域及びRF領域のnMOS領域を開口するフォトレジスト(

図示せず) をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジスト、シリコン窒化膜9及びサイドウォール12をマスクに用いて、例えはヒ素をイオン注入し、その後フォトレジストを除去する。このときのヒ素のイオン注入量は、n型エクステンション領域11n, 41nを形成する際のヒ素のイオン注入量よりも多く設定されている。これによって、図7に示されるように、n型エクステンション領域11nよりも不純物濃度が高いn型不純物領域13nがウェル領域3pの上面内に形成される。同時に、n型エクステンション領域41nよりも不純物濃度が高いn型不純物領域43nがウェル領域33nの上面内に形成される。

【0038】

以上の工程により、それぞれがp型エクステンション領域11p及びp型不純物領域13pから成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域3nの上面内に設けられ、それがp型エクステンション領域41p及びp型不純物領域43pから成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域33nの上面内に設けられる。

【0039】

また、それがn型エクステンション領域11n及びn型不純物領域13nから成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域3pの上面内に設けられ、それがn型エクステンション領域41n及びn型不純物領域43nから成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域33pの上面内に設けられる。

【0040】

次に、アニール処理を行い、上記ソース・ドレイン領域中の不純物を活性化する。これにより、ロジック領域のpMOS領域及びRF領域のpMOS領域のそれに埋め込みチャネル構造のpMOSトランジスタが完成し、ロジック領域のnMOS領域及びRF領域のnMOS領域のそれに表面チャネル構造のnMOSトランジスタが完成する。

【0041】

本実施の形態1に係る半導体装置では、図7に示されるように、ロジック領域

のnMOSトランジスタにはノッチが形成されておらず、ロジック領域のpMOSトランジスタ及びRF領域のnMOSトランジスタにはノッチが形成されている。従って、ロジック領域のnMOSトランジスタでのゲートオーバーラップ量 L_{ov} は、ロジック領域のpMOSトランジスタ及びRF領域のnMOSトランジスタでのそれよりも大きくなっている。

【0042】

また、ロジック領域のpMOSトランジスタ及びRF領域のnMOSトランジスタに形成されているノッチ15p, 45nは、RF領域のpMOSトランジスタに形成されているノッチ45pよりも小さい。従って、ロジック領域のpMOSトランジスタ及びRF領域のnMOSトランジスタでのゲートオーバーラップ量 L_{ov} は、RF領域のpMOSトランジスタでのそれよりも大きくなっている。

【0043】

このように、本実施の形態1に係る半導体装置の製造方法では、含有するn型不純物の濃度によってポリシリコン膜に対するエッティングスピードが変化するという特性を利用して、ゲート電極の側面の底部に、エッティングによってノッチを形成している。

【0044】

一般的に、酸化量を制御する場合よりも、エッティング量を制御する場合の方が、エッティング条件等を調整することにより精度良く制御することができる。従って、上述の特許文献1, 2に記載の技術のようにゲート電極の側壁を酸化することによってノッチを形成する場合よりも、本実施の形態1のようにエッティングによってゲート電極の側面にノッチを形成する場合の方が、ノッチ形状の制御性が向上し、所望のノッチ形状を実現することができる。そのため、適切なゲートオーバーラップ量 L_{ov} を正確に実現することができ、半導体装置の性能を最大限に引き出すことが可能になる。

【0045】

また本実施の形態1では、ポリシリコン膜5に、リン濃度が $5 \times 10^{20} / \text{cm}^3$ の領域と、 $9 \times 10^{20} / \text{cm}^3$ の領域とを設けており、これらの領域を部分的に

エッチングすることによって、ゲート電極10p, 40nと、ゲート電極40pとに、互いに異なる大きさのノッチを形成している。

【0046】

このように、下層のポリシリコン膜5にn型不純物濃度が互いに異なる複数の領域を設けることによって、それぞれ所望のノッチ形状を有し、かつ互いにノッチの大きさが異なる複数のゲート電極を形成することができる。その結果、ゲートオーバーラップ量L_{ov}を各トランジスタで最適化でき、半導体装置全体としての動作性能が向上する。以下に、その理由を説明する。

【0047】

上述の非特許文献2では、同一のチップ内のロジックデバイスと高周波デバイスとでは、ゲートオーバーラップ量L_{ov}を互いに異ならせることが望ましいと記載されている。

【0048】

ロジックデバイスでは、高い電流駆動能力を実現しつつ高速に動作することが重要となる。従って、ゲートオーバーラップ量L_{ov}を比較的大きくして、ソース・ドレイン領域の寄生抵抗を低減する方が望ましい。一方、高周波デバイスでは、その性能を示すパラメータの一つである最大発振周波数f_{max}は、オーバーラップ容量が小さいことと、トランジスタの相互コンダクタンスが高いこと、言い換えればソース・ドレイン領域の寄生抵抗が低いこととの双方の兼ね合いで決定されるため、最大発振周波数f_{max}は、ゲートオーバーラップ量L_{ov}のある値で極大値をとることになる。

【0049】

このように、ロジックデバイスで要求されるゲートオーバーラップ量L_{ov}と、高周波デバイスで要求されるゲートオーバーラップ量L_{ov}とは互いに異なる場合があるため、ロジックデバイスとRFデバイスとで、ゲートオーバーラップ量L_{ov}を独立して制御できることが望まれる。

【0050】

本実施の形態1では、上述のように各トランジスタでノッチ形状を最適化できるため、ロジックデバイスのゲートオーバーラップ量L_{ov}と、RFデバイスの

ゲートオーバーラップ量 L_{ov} とを互いに独立して最適化できる。従って、半導体装置全体としての動作性能が向上する。なお、本実施の形態1では、一例として、ロジックデバイスと高周波デバイスとのゲートオーバーラップ量 L_{ov} を最適化した結果、高周波デバイスのnMOSトランジスタのゲートオーバーラップ量 L_{ov} が、ロジックデバイスのnMOSトランジスタのそれよりも小さく、高周波デバイスのpMOSトランジスタのゲートオーバーラップ量 L_{ov} が、ロジックデバイスのpMOSトランジスタのそれよりも小さい場合の半導体装置の製造方法を示している。

【0051】

また、上述の非特許文献3では、同一チップ内のnMOSトランジスタとpMOSトランジスタとでは、nMOSトランジスタの方のゲートオーバーラップ量 L_{ov} を大きくした方が半導体装置の動作速度が向上すると述べられている。

【0052】

本実施の形態1では、上述のように各トランジスタでノッチ形状を最適化できるため、nMOSトランジスタのゲートオーバーラップ量 L_{ov} と、pMOSトランジスタのゲートオーバーラップ量 L_{ov} とを互いに独立して最適化できる。従って、非特許文献3に記載されているように、pMOSトランジスタよりもnMOSトランジスタのゲートオーバーラップ量 L_{ov} を大きくすることができる。その結果、半導体装置の動作速度が向上する。

【0053】

なお、本実施の形態1では、ロジック領域及びRF領域のそれぞれにおいて、pMOSトランジスタよりもnMOSトランジスタのノッチを大きくして、pMOSトランジスタよりもnMOSトランジスタのゲートオーバーラップ量 L_{ov} を大きくしている。

【0054】

また、ポリシリコン膜5へのリンのイオン注入後に得られる構造に対して、ポリシリコン膜5のエッティングの前に、アニール処理を行っても良い。この場合には、ポリシリコン膜5中のリンが拡散し、ポリシリコン膜5中でのリン分布がほぼ一様になる。更に、本実施の形態1では、上層のポリシリコン膜7はドープト

ポリシリコン膜であるため、リン分布はほぼ一様である。従って、上層のポリシリコン膜7と下層のポリシリコン膜5との境界においてリン濃度が急峻に変化し、ポリシリコン膜に対するエッティング速度が急激に変化する。そのため、所望のノッチ形状がより得られやすくなる。

【0055】

実施の形態2.

図8～12は本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態2に係る半導体装置は、例えば、ロジックデバイスと高周波デバイスとを備えるシステムオンチップ（S〇C）であって、ロジックデバイス及び高周波デバイスのそれぞれは、nMOSトランジスタとpMOSトランジスタとを有している。

【0056】

本実施の形態2に係る半導体装置は、nMOSトランジスタ及びpMOSトランジスタのゲート電極が、それぞれn型及びp型であるDual-Gate構造を有している。そして、本実施の形態2に係るnMOSトランジスタ及びpMOSトランジスタのそれぞれは表面チャネル構造を有している。以下に、図8～12を参照して、本実施の形態2に係る半導体装置の製造方法を説明する。

【0057】

まず、上述の実施の形態1と同様に、半導体基板1の上面内に素子分離絶縁膜2を形成する。そして、ロジック領域において、nMOS領域における半導体基板1の上面内にウェル領域3pを形成し、pMOS領域における半導体基板1の上面内にウェル領域3nを形成する。更に、RF領域において、nMOS領域における半導体基板1の上面内にウェル領域33pを形成し、pMOS領域における半導体基板1の上面内にウェル領域33nを形成する。これにより、図1に示す構造が得られる。なお、本実施の形態2では、nMOSトランジスタ及びpMOSトランジスタの両方が表面チャネル構造を有しているため、実施の形態1とは異なり、ウェル領域3n, 33n内には埋め込み層は形成されない。

【0058】

次に図8に示されるように、例えば厚さ10nmのポリシリコン膜16をゲー

ト絶縁膜4及び素子分離絶縁膜2の上に形成する。このポリシリコン膜16は、不純物が導入されていないノンドープトポリシリコン膜であって、CVD成長によって形成される。

【0059】

次に図9に示されるように、ロジック領域のpMOS領域と、RF領域のnMOS領域及びpMOS領域におけるポリシリコン膜16を露出する開口パターンを有するフォトレジスト6cをポリシリコン膜16上に形成する。そして、かかるフォトレジスト6cをマスクにしてリンをイオン注入する。このようにして、ロジック領域のnMOS領域におけるポリシリコン膜16にはリンを注入せず、ロジック領域のpMOS領域と、RF領域のnMOS領域及びpMOS領域におけるポリシリコン膜16のリン濃度を $5 \times 10^{19}/\text{cm}^3$ とする。このとき、リンがポリシリコン膜16の下方にまで届かない程度の低エネルギー、例えば3keVでリンをイオン注入する。そして、フォトレジスト6cを除去する。なお図中では、ポリシリコン膜16において、リン濃度が $5 \times 10^{19}/\text{cm}^3$ である領域を右上がりの斜線で示している。

【0060】

次に図10に示されるように、例えば厚さ200nmのポリシリコン膜17をポリシリコン膜16上に形成する。このポリシリコン膜17は、イオン注入前のポリシリコン膜16と同様に、リンなどの不純物を含まないノンドープトポリシリコン膜であって、CVD成長により形成することができる。そして、後の工程でハードマスクとして使用されるTEOS酸化膜18をポリシリコン膜17上に形成する。

【0061】

次に、TEOS酸化膜18上に所定の開口パターンを有するフォトレジスト（図示せず）を形成し、かかるフォトレジストをマスクに用いて、TEOS酸化膜18をパターンニングする。そして、パターンニング後のTEOS酸化膜18をマスクに用いつつ、ゲート絶縁膜4をエッチングストップとして、プラズマ異方性エッチングによって、ポリシリコン膜16, 17をエッチングする。これにより、図11に示されるように、ロジック領域のnMOS領域及びpMOS領域に

おけるゲート絶縁膜4上に、ゲート電極20n, 20pがそれぞれ形成され、RF領域のnMOS領域及びpMOS領域におけるゲート絶縁膜4上に、ゲート電極50n, 50pがそれぞれ形成される。このとき、ポリシリコン膜17上に設けられていたTEOS酸化膜18はほぼ消滅する。

【0062】

ゲート電極20nは、ポリシリコン膜16の不純物を含まない領域とポリシリコン膜17とを含み、ゲート電極20p, 50n, 50pのそれぞれは、ポリシリコン膜16におけるリン濃度が $5 \times 10^{19} / \text{cm}^3$ である領域とポリシリコン膜17とを含んでいる。そして、ゲート電極20p, 50n, 50pのそれぞれの側面の底部にはノッチが形成されている。

【0063】

上述のように、ポリシリコン膜に含まれるn型の不純物濃度が高いほど、ポリシリコン膜に対するエッティングスピードが速くなる。そして、本実施の形態2では、ロジック領域のpMOS領域と、RF領域のnMOS領域及びpMOS領域とでは、上層のポリシリコン膜17にはリンが含まれておらず、下層のポリシリコン膜16にはリンが含まれているため、ポリシリコン膜16に対するエッティングスピードの方が、ポリシリコン膜17に対するそれよりも速くなる。従って、ゲート電極20p, 50n, 50pのそれぞれのポリシリコン膜16の側面は、ポリシリコン膜17の側面よりも凹み、各ゲート電極20p, 50n, 50pの側面の底部にノッチが形成される。

【0064】

更に、本実施の形態2では、ロジック領域のpMOS領域と、RF領域のnMOS領域と、RF領域のpMOS領域におけるポリシリコン膜16のリン濃度は互いに同じであるため、ゲート電極20pに形成されるノッチ25pと、ゲート電極50nに形成されるノッチ55nと、ゲート電極50pに形成されるノッチ55pとは、互いに大きさが同じになる。

【0065】

なお、ロジック領域のnMOS領域においては、ポリシリコン膜16, 17の両方とも不純物を含まないため、ゲート電極20nの側面にはノッチが形成され

ない。

【0066】

次に、ロジック領域及びRF領域のpMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジストをマスクに用いて、例えばボロンをイオン注入し、その後フォトレジストを除去する。これによって、図11に示されるように、p型の不純物領域であるp型エクステンション領域 21 p がウェル領域 3 n の上面内形成される。同時に、p型の不純物領域であるp型エクステンション領域 51 p がウェル領域 33 n の上面内形成される。

【0067】

次に、ロジック領域及びRF領域のnMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジストをマスクに用いて、例えばヒ素をイオン注入し、その後フォトレジストを除去する。これによって、図11に示されるように、n型の不純物領域であるn型エクステンション領域 21 n がウェル領域 3 p の上面内形成される。同時に、n型の不純物領域であるn型エクステンション領域 51 n がウェル領域 33 p の上面内形成される。

【0068】

次に、ノッチ 25 p , 55 n , 55 p を充填するシリコン窒化膜を全面に堆積して、半導体基板1の深さ方向にエッチングレートが高い異方性ドライエッティング法によって、かかるシリコン窒化膜をエッティングする。これにより、図12に示されるように、各ゲート電極 20 n , 20 p , 50 n , 50 p の側面上に、シリコン窒化膜から成るサイドウォール 22 が形成される。そして、ノッチ 25 p , 55 n , 55 p はサイドウォール 22 で充填される。

【0069】

次に、ウェル領域 3 n , 33 n の上面内にp型不純物領域 23 p , 53 p をそれぞれ形成し、ウェル領域 3 p , 33 p の上面内にn型不純物領域 23 n , 53 n をそれぞれ形成する。具体的には、まずロジック領域及びRF領域のpMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜4及び素子分離絶縁

膜2の上に形成して、かかるフォトレジスト及びサイドウォール22をマスクに用いて、例えばボロンをイオン注入し、その後フォトレジストを除去する。このときのボロンのイオン注入量は、p型エクステンション領域21p, 51pを形成する際のボロンのイオン注入量よりも多く設定されている。これによって、図12に示されるように、p型エクステンション領域21pよりも不純物濃度が高いp型不純物領域23pが、ウェル領域3nの上面内に形成される。同時に、p型エクステンション領域51pよりも不純物濃度が高いp型不純物領域53pが、ウェル領域33nの上面内に形成される。

【0070】

次に、ロジック領域及びRF領域のnMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜4及び素子分離絶縁膜2の上に形成して、かかるフォトレジスト及びサイドウォール22をマスクに用いて、例えばヒ素をイオン注入し、その後フォトレジストを除去する。このときのヒ素のイオン注入量は、n型エクステンション領域21n, 51nを形成する際のヒ素のイオン注入量よりも多く設定されている。これによって、図12に示されるように、n型エクステンション領域21nよりも不純物濃度が高いn型不純物領域23nが、ウェル領域3pの上面内に形成される。同時に、n型エクステンション領域51nよりも不純物濃度が高いn型不純物領域53nが、ウェル領域33nの上面内に形成される。

【0071】

このとき、ハードマスクとして使用されたTEOS酸化膜18はほぼ消滅しているため、nMOS領域のゲート電極20n, 50nにもヒ素が導入されて、各ゲート電極20n, 50nはn型となる。また、p型不純物領域23p, 53pを形成する際には、注入量 $5 \times 10^{15} / \text{cm}^2$ でホウ素がイオン注入されるため、pMOS領域におけるゲート電極20p, 50pのポリシリコン膜16に含まれるリンの効果は、注入されたホウ素によって打ち消されて、各ゲート電極20p, 50pはp型となる。これにより、Dual-Gate構造が実現される。

【0072】

以上の工程により、それぞれがp型エクステンション領域21p及びp型不純

物領域 23 p から成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域 3 n の上面内に設けられ、それぞれが p 型エクステンション領域 51 p 及び p 型不純物領域 53 p から成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域 33 n の上面内に設けられる。

【0073】

また、それが n 型エクステンション領域 21 n 及び n 型不純物領域 23 n から成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域 3 p の上面内に設けられ、それが n 型エクステンション領域 51 n 及び n 型不純物領域 53 n から成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域 33 p の上面内に設けられる。

【0074】

次に、アニール処理を行い、上記ソース・ドレイン領域中の不純物を活性化する。これにより、ロジック領域の p MOS領域及びRF領域の p MOS領域のそれに表面チャネル構造の p MOSトランジスタが完成し、ロジック領域の n MOS領域及びRF領域の n MOS領域のそれに表面チャネル構造の n MOSトランジスタが完成する。

【0075】

このように、本実施の形態2に係る半導体装置の製造方法によれば、Dual-Gate構造を有し、その n MOSトランジスタ及び p MOSトランジスタのそれが表面チャネル構造を有する半導体装置であっても、ゲート電極に所望の形状のノッチを形成することができる。そのため、適切なゲートオーバーラップ量 L_{ov} を正確に実現することができ、半導体装置の性能を最大限に引き出すことが可能になる。

【0076】

また本実施の形態2では、 n MOSトランジスタだけではなく、 p MOSトランジスタも表面チャネル構造を有しているため、 p MOSトランジスタが埋め込みチャネル構造を有している上述の実施の形態1に係る半導体装置よりも、微細化が可能になる。

【0077】

ただし、pMOS領域のゲート電極は十分にp型にならないと、ゲート電極の空乏化を生じるため、pMOS領域におけるポリシリコン膜16のリン濃度を、実施の形態1と比べてあまり高くできないという制約がある。そのため、pMOS領域におけるゲート電極のノッチをあまり大きくできないという不利な点がある。

【0078】

本実施の形態2では、このような不利な点のために、RF領域のpMOS領域におけるポリシリコン膜16のリン濃度を高くできず、RF領域におけるゲート電極50pのノッチの大きさが、ロジック領域におけるゲート電極20pのノッチの大きさと同じに設定されている。

【0079】

本実施の形態2でも、上述の実施の形態1と同様に、ロジックデバイスと高周波デバイスとのゲートオーバーラップ量 L_{ov} を最適化した結果、高周波デバイスのnMOSトランジスタのゲートオーバーラップ量 L_{ov} が、ロジックデバイスのnMOSトランジスタのそれよりも小さく、高周波デバイスのpMOSトランジスタのゲートオーバーラップ量 L_{ov} が、ロジックデバイスのpMOSトランジスタのそれよりも小さい場合の半導体装置を想定しているため、RF領域のpMOS領域におけるゲート電極50pに形成されるノッチ55pの大きさを、ロジック領域のpMOS領域におけるゲート電極20pに形成されるノッチ25pよりも、大きくすることが望まれるが、上述の理由により、ノッチ55pの大きさはノッチ25pと同じに設定されている。

【0080】

しかしながら、上述の非特許文献2の図12(a), (b)には、高周波デバイスのpMOSトランジスタの最大発振周波数 f_{max} が、nMOSトランジスタのそれよりもゲートオーバーラップ量 L_{ov} の値によって敏感に変化しないことが示されているため、本実施の形態2のように、RF領域のpMOS領域におけるノッチの大きさと、ロジック領域のpMOS領域におけるノッチの大きさとが互いに同じになったとしても、それが半導体装置の性能に与える影響は比較的少ない。

【0081】

なお本実施の形態2では、上述のように、ゲート電極の空乏化を防止するためには、pMOS領域におけるポリシリコン膜16のリン濃度を低く設定しているが、ゲート電極の空乏化を抑制するよりも、少しでも高周波デバイスのpMOSトランジスタの最大発振周波数 f_{max} を増大させたい場合には、実施の形態1と同様に、RF領域のpMOS領域におけるポリシリコン膜16のリン濃度を、ロジック領域のpMOS領域よりも高く設定して、RF領域のpMOS領域におけるノッチを、ロジック領域のpMOS領域におけるノッチよりも大きくしても良い。具体的には、以下の様にして、RF領域のpMOS領域におけるポリシリコン膜16のリン濃度を高く設定することができる。

【0082】

まず、図8に示す構造を得る。そして、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜16を露出する開口パターンを有するフォトレジストをポリシリコン膜16上に形成する。そして、かかるフォトレジストをマスクにしてリンをイオン注入して、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜16のリン濃度を $5 \times 10^{19}/cm^3$ とする。

【0083】

次に、RF領域のpMOS領域におけるポリシリコン膜16を露出する開口パターンを有するフォトレジストをポリシリコン膜16上に形成する。そして、ロジック領域のpMOS領域及びRF領域のnMOS領域におけるポリシリコン膜16にリンを注入したときよりも多い注入量で、かかるフォトレジストをマスクにしてリンをイオン注入し、RF領域のpMOS領域におけるポリシリコン膜16のリン濃度を、 $5 \times 10^{19}/cm^3$ よりも高い濃度とする。そして、上述のように、ポリシリコン膜16, 17をエッティングして、複数のゲート電極を形成することによって、RF領域のpMOS領域におけるノッチの大きさが、ロジック領域のpMOS領域におけるノッチよりも大きくなる。

【0084】

このように、下層のポリシリコン膜16にn型不純物濃度が互いに異なる複数

の領域を設けることによって、それぞれ所望のノッチ形状を有し、かつ互いにノッチの大きさが異なる複数のゲート電極を形成することができ、ゲートオーバーラップ量 L_{ov} を各トランジスタで最適化できる。

【0085】

また、ポリシリコン膜16へのリンのイオン注入後に得られる構造に対して、ポリシリコン膜16のエッチングの前に、アニール処理を行っても良い。この場合には、ポリシリコン膜16中のリンが拡散し、ポリシリコン膜16中のリン分布がほぼ一様になる。そして、本実施の形態2では、上層のポリシリコン膜17はノンドープトポリシリコン膜であるため、ポリシリコン膜に対するエッティング速度が急減に変化する。従って、所望のノッチ形状がより得られやすくなる。

【0086】

実施の形態3.

図13～17は本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態3に係る半導体装置は、nMOSトランジスタ及びpMOSトランジスタのそれぞれのゲート電極がn型であるシングルゲート構造を有するCMOSトランジスタを備えている。このCMOSトランジスタは、例えば、ロジックデバイスとDRAMとが同一半導体基板上に形成されたメモリ・ロジック混載型の半導体装置が備えるCMOSトランジスタである。そして、本実施の形態3に係るnMOSトランジスタは表面チャネル構造を有し、pMOSトランジスタは埋め込みチャネル構造を有している。以下に、図13～17を参照して、本実施の形態3に係る半導体装置の製造方法を説明する。

【0087】

まず図13に示すように、周知のLOCOS分離技術やトレンチ分離技術によって、例えばp型のシリコン基板である半導体基板81の上面内に素子分離絶縁膜82を形成する。素子分離絶縁膜82は、例えばシリコン酸化膜から成り、半導体基板81の上面を複数の領域に区分している。

【0088】

次に、nMOS領域における半導体基板81の上面内にp型のウェル領域83pを形成し、pMOS領域における半導体基板81の上面内にn型のウェル領域

83nを形成する。そして、ウェル領域83n内に、図示しない埋め込み層を形成する。

【0089】

次に、半導体基板81を上面から酸化して、例えば膜厚3.0nmのゲート絶縁膜84を半導体基板81上に形成する。そして、図14に示されるように、例えば厚さ10nmのポリシリコン膜85をゲート絶縁膜84及び素子分離絶縁膜82の上に形成する。このポリシリコン膜85は、n型の不純物、例えばリン原子が濃度 $1 \times 10^{19}/\text{cm}^3$ でほぼ一様に分布したドープトポリシリコン膜であって、 PCl_3 (三塩化リン)などのリンを含有する化合物を含んだ材料ガス中のCVD成長により形成することができる。

【0090】

次に図15に示されるように、例えば厚さ200nmのポリシリコン膜87をポリシリコン膜85上に形成する。このポリシリコン膜87は、n型の不純物、例えばリン原子が濃度 $5 \times 10^{20}/\text{cm}^3$ でほぼ一様に分布したドープトポリシリコン膜であって、ポリシリコン膜85よりもリン濃度が高い。そして、このポリシリコン膜87は、 PCl_3 (三塩化リン)などのリンを含有する化合物を含んだ材料ガス中のCVD成長により形成することができる。

【0091】

次に、後の工程でハードマスクとして使用されるシリコン窒化膜89をポリシリコン膜87上に形成する。そして、シリコン窒化膜89上に所定の開口パターンを有するフォトレジスト(図示せず)を形成し、かかるフォトレジストをマスクに用いて、シリコン窒化膜89をパターンニングする。そして、パターンニング後のシリコン窒化膜89をマスクに用いつつ、ゲート絶縁膜84をエッチングストップとして、プラズマ異方性エッチングによって、ポリシリコン膜85、87をエッチングする。これにより、図16に示されるように、nMOS領域及びpMOS領域におけるゲート絶縁膜84上に、ゲート電極90n、90pがそれぞれ形成される。

【0092】

各ゲート電極90n、90pは、ポリシリコン膜85、87を含み、その上面

上にはシリコン窒化膜89が形成されている。そして、各ゲート電極90n, 90pの側面の底部にはノッチが形成されている。

【0093】

上述のように、ポリシリコン膜に含まれるn型の不純物濃度が高いほど、ポリシリコン膜に対するエッティングスピードが速くなる。そして、本実施の形態3では、上層のポリシリコン膜87よりも下層のポリシリコン膜85の方がリン濃度が高いため、ポリシリコン膜85に対するエッティングスピードの方が、ポリシリコン膜87に対するそれよりも速くなる。従って、ゲート電極90n, 90pのそれぞれのポリシリコン膜85の側面は、ポリシリコン膜87の側面よりも凹み、各ゲート電極90n, 90pの側面の底部にノッチが形成される。

【0094】

更に、本実施の形態3では、nMOS領域及びpMOS領域におけるポリシリコン膜85のリン濃度は互いに同じであるため、ゲート電極90nに形成されるノッチ95nと、ゲート電極90pに形成されるノッチ95pとは、互いに大きさが同じになる。

【0095】

次に、pMOS領域を開口するフォトトレジスト（図示せず）をゲート絶縁膜84及び素子分離絶縁膜82の上に形成して、かかるフォトトレジスト及びシリコン窒化膜89をマスクに用いて、例えばボロンをイオン注入し、その後フォトトレジストを除去する。これによって、図16に示されるように、p型の不純物領域であるp型エクステンション領域91pがウェル領域83nの上面内形成される。

【0096】

次に、nMOS領域を開口するフォトトレジスト（図示せず）をゲート絶縁膜84及び素子分離絶縁膜82の上に形成して、かかるフォトトレジスト及びシリコン窒化膜89をマスクに用いて、例えばヒ素をイオン注入し、その後フォトトレジストを除去する。これによって、図16に示されるように、n型の不純物領域であるn型エクステンション領域91nがウェル領域83pの上面内形成される。

【0097】

次に、ノッチ95n, 95pを充填するシリコン窒化膜を全面に堆積して、半

導体基板81の深さ方向にエッティングレートが高い異方性ドライエッティング法によって、かかるシリコン窒化膜をエッティングする。これにより、図17に示されるように、各ゲート電極90n, 90pの側面上と、シリコン窒化膜89の側面上とに、シリコン窒化膜から成るサイドウォール92が形成される。そして、ノッチ95n, 95pはサイドウォール92で充填される。

【0098】

次に、ウェル領域83nの上面内にp型不純物領域93pを形成し、ウェル領域83pの上面内にn型不純物領域93nを形成する。具体的には、まずpMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜84及び素子分離絶縁膜82の上に形成して、かかるフォトレジスト、シリコン窒化膜89及びサイドウォール92をマスクに用いて、例えばボロンをイオン注入し、その後フォトレジストを除去する。このときのボロンのイオン注入量は、p型エクステンション領域91pを形成する際のボロンのイオン注入量よりも多く設定されている。これによって、図17に示されるように、p型エクステンション領域91pよりも不純物濃度が高いp型不純物領域93pが、ウェル領域83nの上面内に形成される。

【0099】

次に、nMOS領域を開口するフォトレジスト（図示せず）をゲート絶縁膜84及び素子分離絶縁膜82の上に形成して、かかるフォトレジスト、シリコン窒化膜89及びサイドウォール92をマスクに用いて、例えばヒ素をイオン注入し、その後フォトレジストを除去する。このときのヒ素のイオン注入量は、n型エクステンション領域91nを形成する際のヒ素のイオン注入量よりも多く設定されている。これによって、図17に示されるように、n型エクステンション領域91nよりも不純物濃度が高いn型不純物領域93nが、ウェル領域83pの上面内に形成される。

【0100】

以上の工程により、それぞれがp型エクステンション領域91p及びp型不純物領域93pから成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域83nの上面内に設けられ、それぞれがn型エクステンション領域9

1 n 及び n 型不純物領域 9 3 n から成り、互いに所定距離を成す複数のソース・ドレイン領域が、ウェル領域 8 3 p の上面内に設けられる。

【0101】

次に、アニール処理を行い、上記ソース・ドレイン領域中の不純物を活性化する。これにより、pMOS 領域に埋め込みチャネル構造の pMOS トランジスタが完成し、nMOS 領域に表面チャネル構造の nMOS トランジスタが完成する。

【0102】

このように、本実施の形態 3 に係る半導体装置の製造方法によれば、メモリ・ロジック混載型の半導体装置に採用される CMOS トランジスタであっても、ゲート電極に所望の形状のノッチを形成することができる。そのため、適切なゲートオーバーラップ量 L_{ov} を正確に実現することができ、半導体装置の性能を最大限に引き出すことが可能になる。

【0103】

更に、本実施の形態 3 では、ポリシリコン膜 8 5, 8 7 にドープトポリシリコン膜を採用しているため、ポリシリコン膜 8 5, 8 7 中のリン分布はほぼ一様である。そして、本実施の形態 3 のように、各ポリシリコン膜 8 5, 8 7 にはリンのイオン注入を実行しないことによって、上層のポリシリコン膜 8 7 と下層のポリシリコン膜 8 5との境界においてリン濃度が急峻に変化することになり、ポリシリコン膜に対するエッティング速度が急激に変化する。従って、所望のノッチ形状がより得られやすくなる。

【0104】

なお、実施の形態 1, 2 で述べたように、ポリシリコン膜にイオン注入を行った場合でも、イオン注入後にアニール処理を行うことによって、ポリシリコン膜中のリン分布がほぼ一様になる。しかしながら、この場合には、ドープトポリシリコン膜ほど一様にはリンが分布しない。従って、本実施の形態 3 のように、上層のポリシリコン膜 8 7 及び下層のポリシリコン膜 8 5 のそれぞれに、ドープトポリシリコン膜を採用することによって、より所望のノッチ形状を実現することができ、同一ウェハ内、もしくはウェハ間で、均一で安定したノッチ形状を得

ることができる。

【0105】

また、本実施の形態3では、下層のポリシリコン膜85へのリンのイオン注入を行っていないため、注入時にリンがポリシリコン膜85を突き抜けて半導体基板1に導入されることがない。

【0106】

なお、本実施の形態3に係る半導体装置の製造方法では、ゲート電極となるポリシリコン膜にn型不純物のイオン注入を行っていないため、実施の形態1、2とは異なり、互いに大きさの異なるノッチを有する複数のゲート電極を形成することは困難であるが、個々のトランジスタにおける最適なノッチの大きさがほぼ同じである半導体装置や、装置全体の性能が特定のトランジスタの大きさでほぼ決定されてしまう半導体装置に対しては、本実施の形態3に係る製造方法は有効である。

【0107】

また、本実施の形態3では、上層のポリシリコン膜87にリンを含むドープトポリシリコン膜を採用したが、その代わりにノンドープトポリシリコン膜を採用した場合であっても、同様の効果が得られる。

【0108】

また、上述の実施の形態1～3では、ポリシリコン膜に含まれるn型の不純物としてリンを採用したが、その代わりにヒ素等の他のn型不純物を採用してもよい。

【0109】

【発明の効果】

この発明に係る半導体装置の製造方法によれば、含有するn型不純物の濃度によってポリシリコン膜に対するエッティングスピードが変化するという特性を利用して、ゲート電極の側面に、エッティングによってノッチを形成している。そのため、ゲート電極の側面を酸化することによってノッチを形成する場合よりも、ノッチ形状の制御性が向上し、所望のノッチ形状を実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】 本発明の実施の形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図9】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図10】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図11】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図12】 本発明の実施の形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図13】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図14】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図15】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に

示す断面図である。

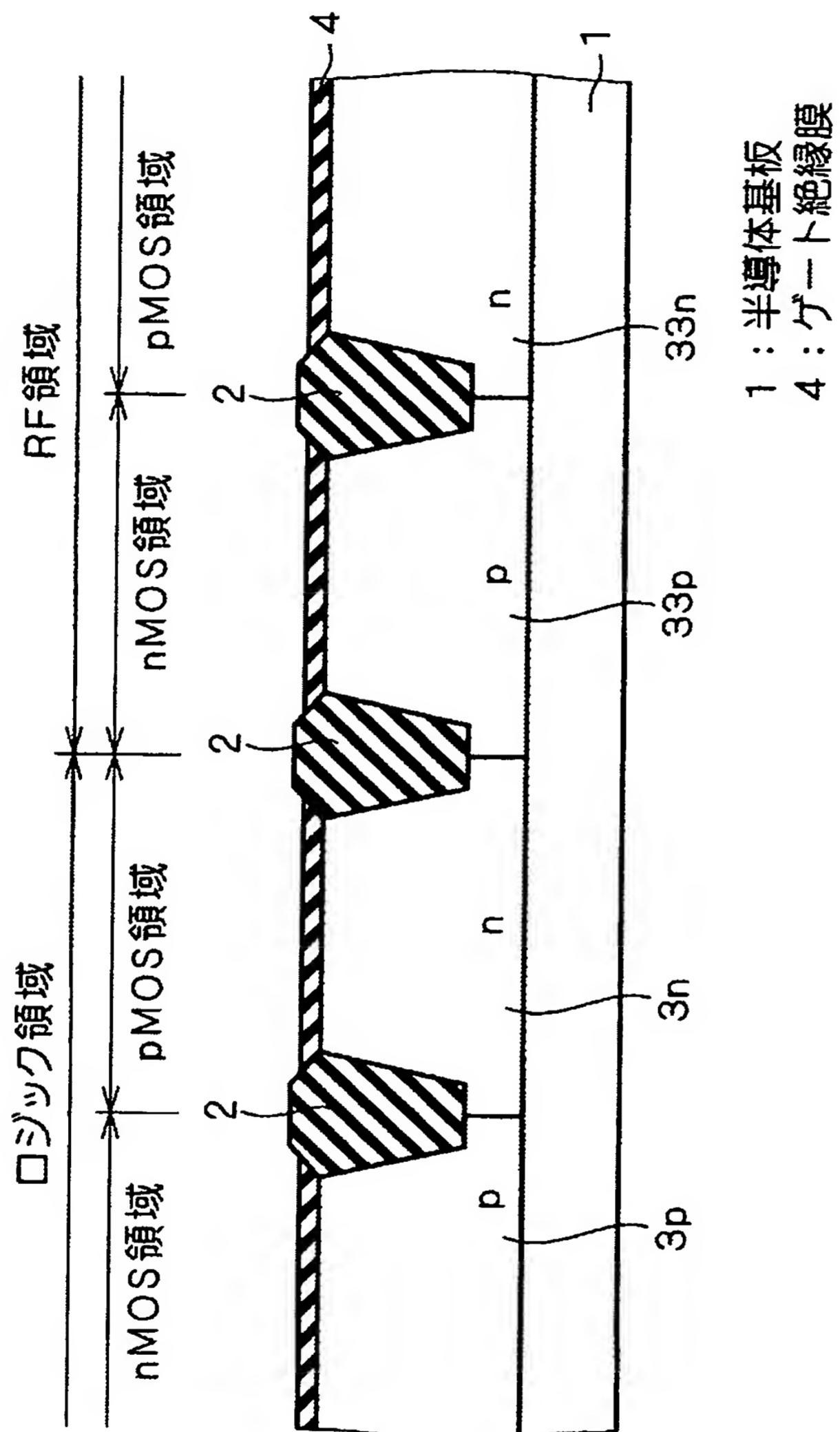
【図16】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図17】 本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。

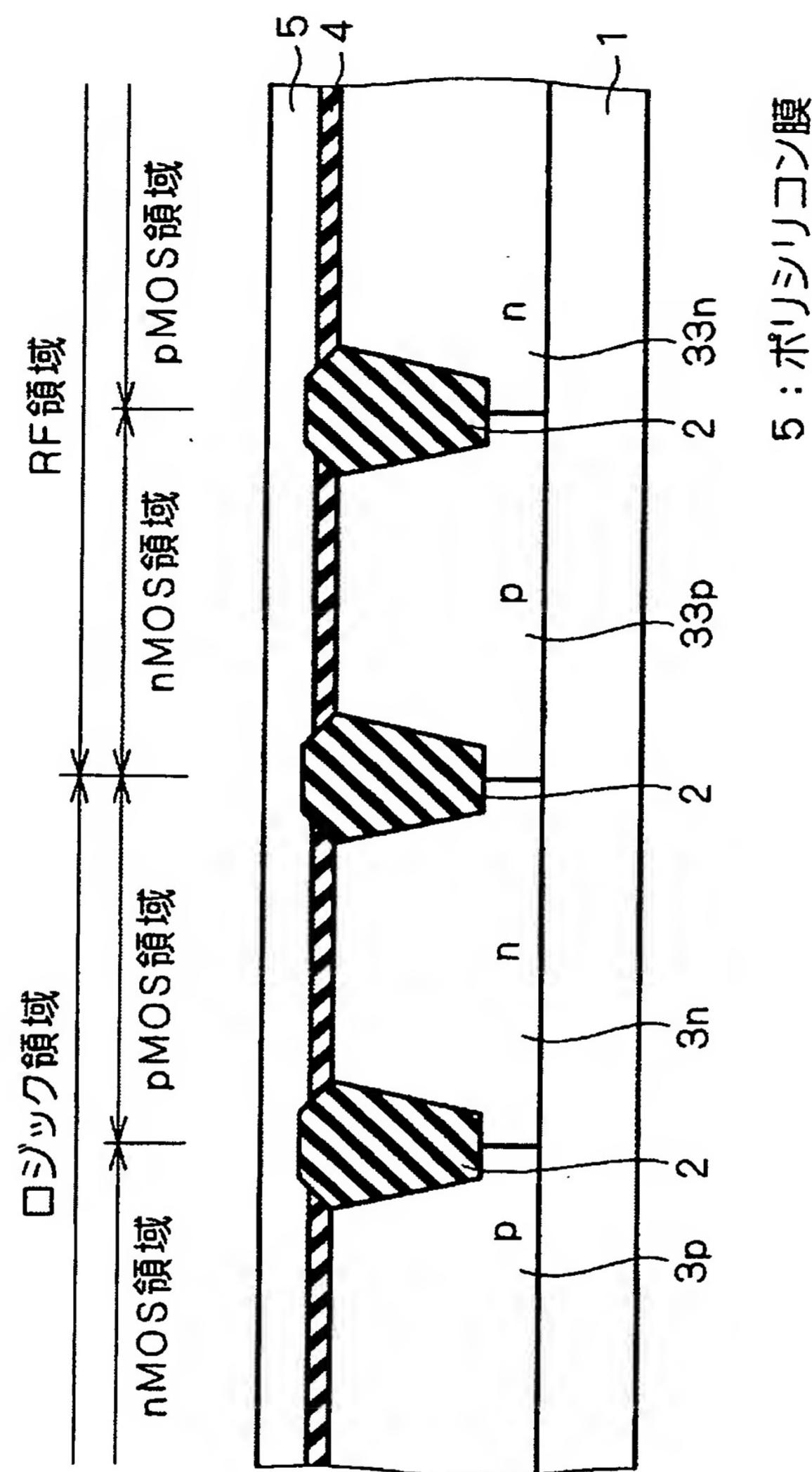
【符号の説明】

1, 81 半導体基板、4, 84 ゲート絶縁膜、5, 7, 16, 17, 85, 87 ポリシリコン膜、10n, 10p, 20n, 20p, 40n, 40p, 50n, 50p, 90n, 90p ゲート電極、12, 22, 92 サイドウォール、15p, 25p, 45n, 45p, 55n, 55p, 95n, 95p ノッチ。

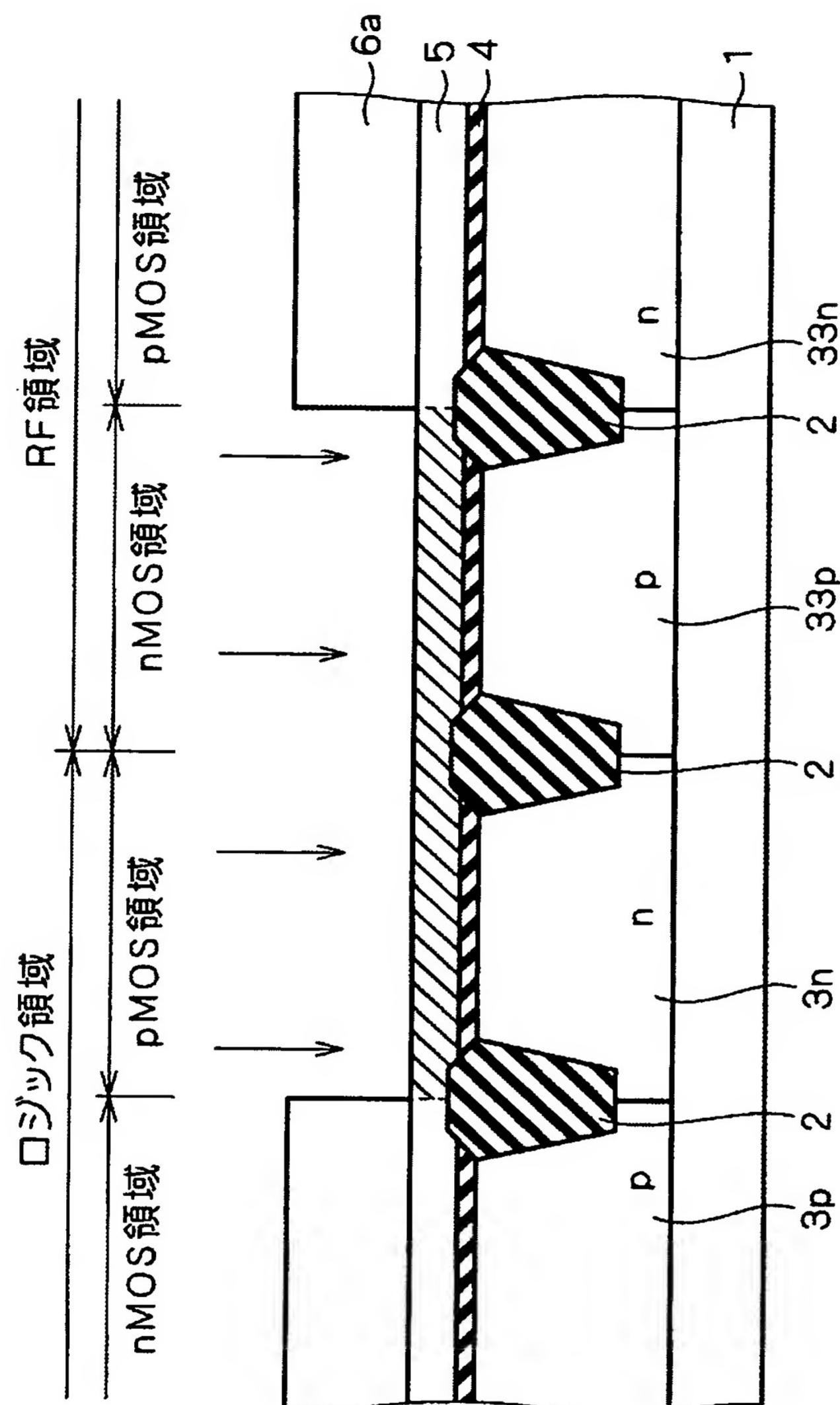
【書類名】 図面
【図1】



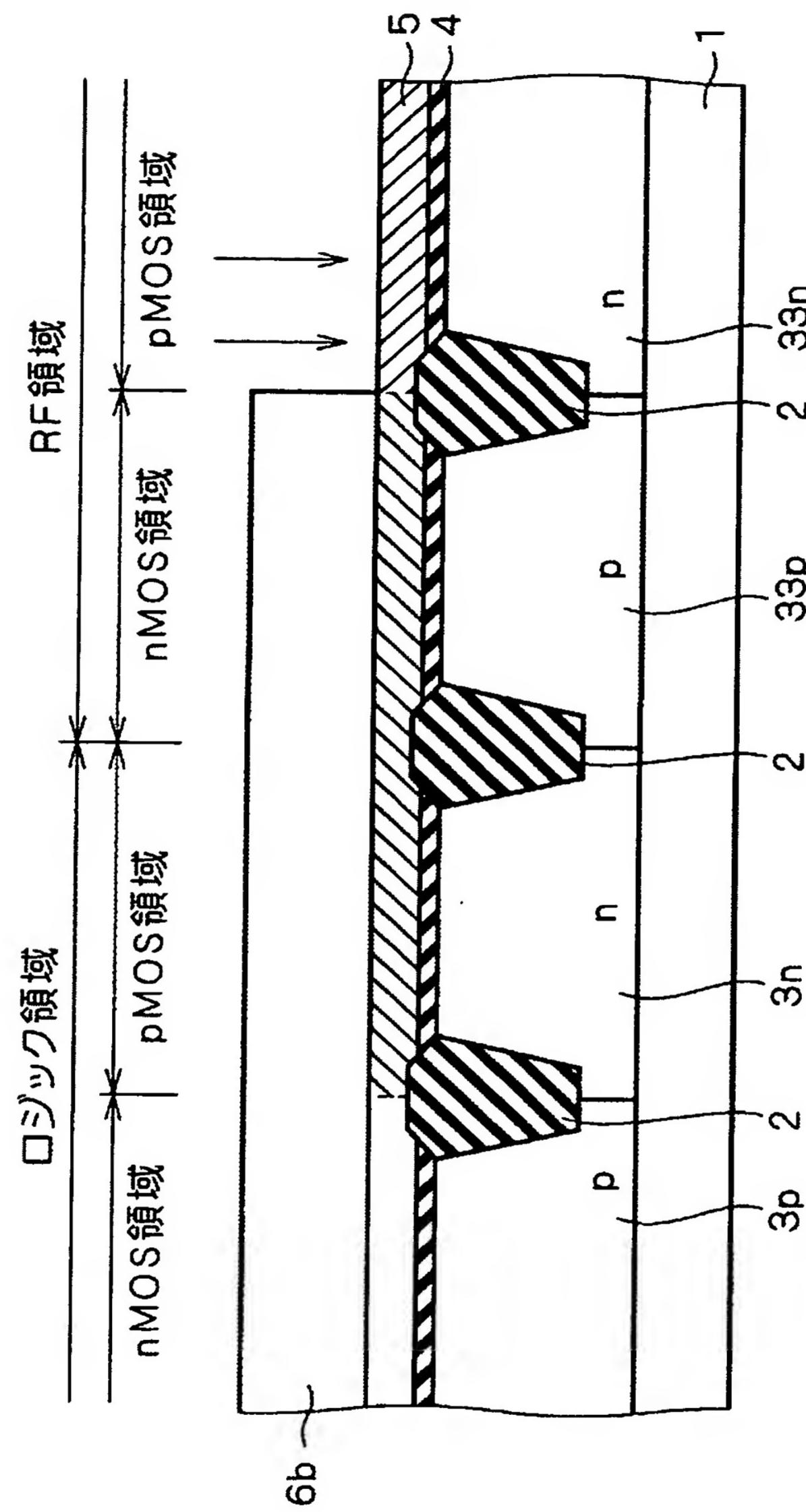
【図2】



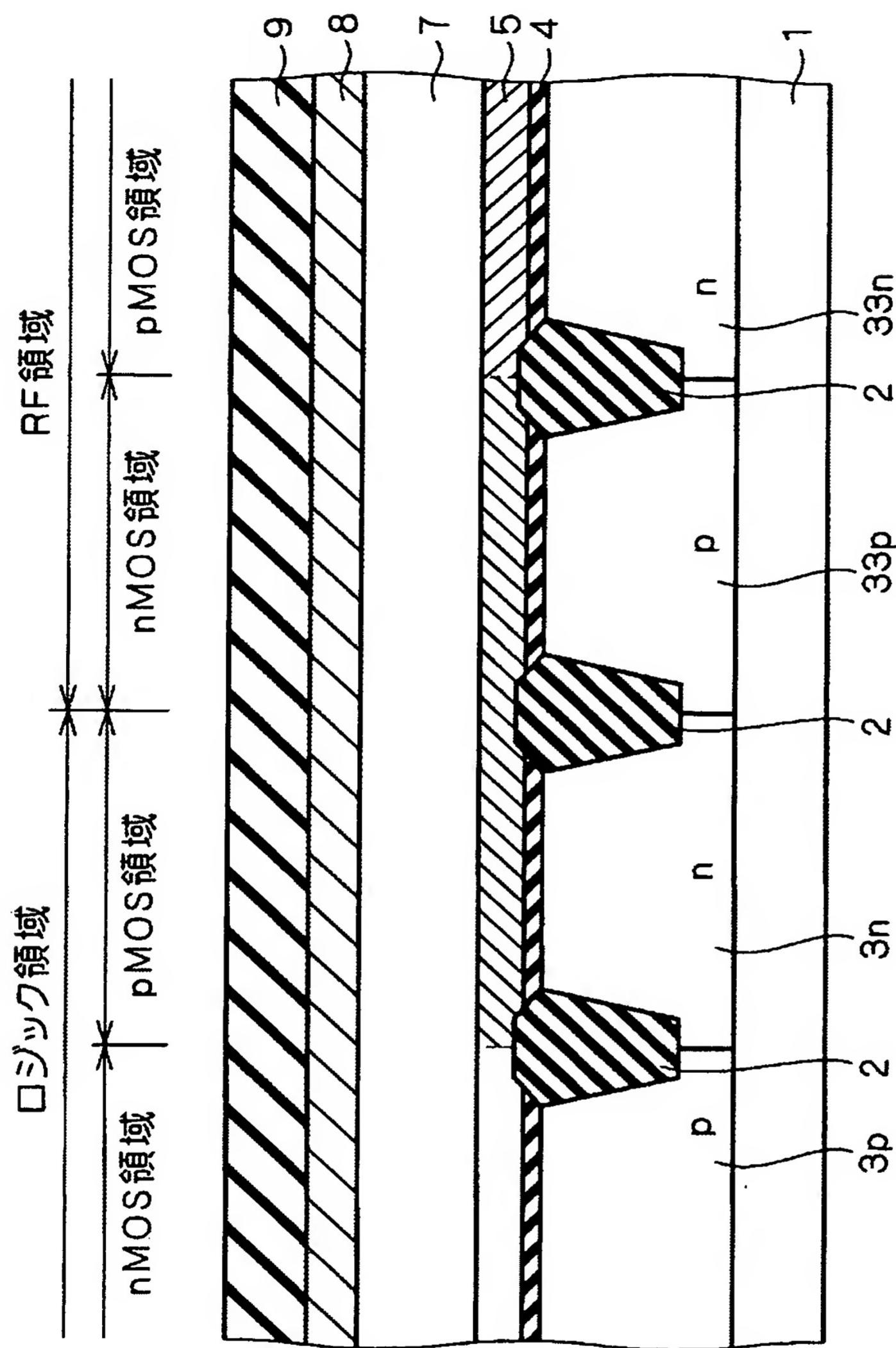
【図3】



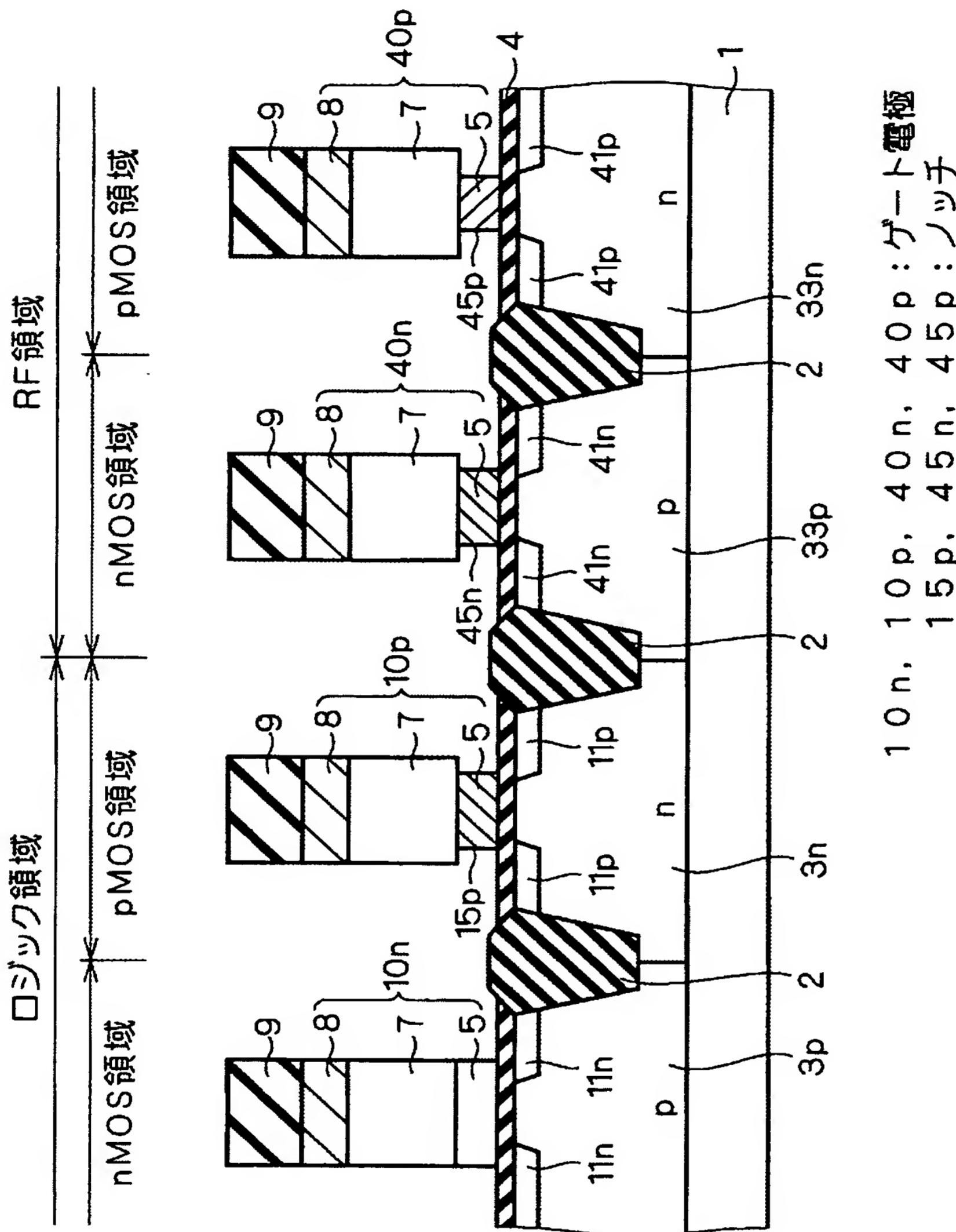
【図4】



【図5】

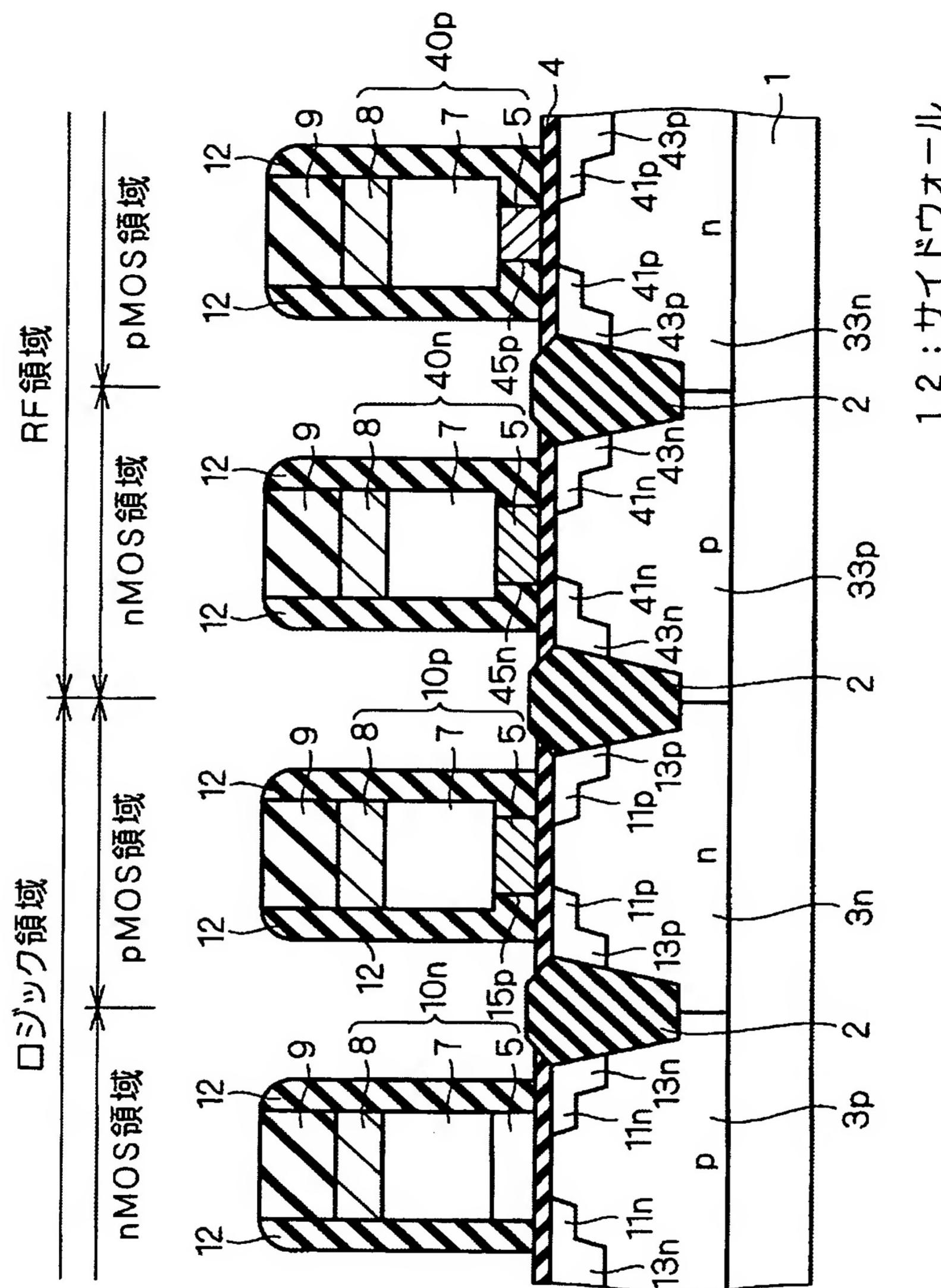


【図6】

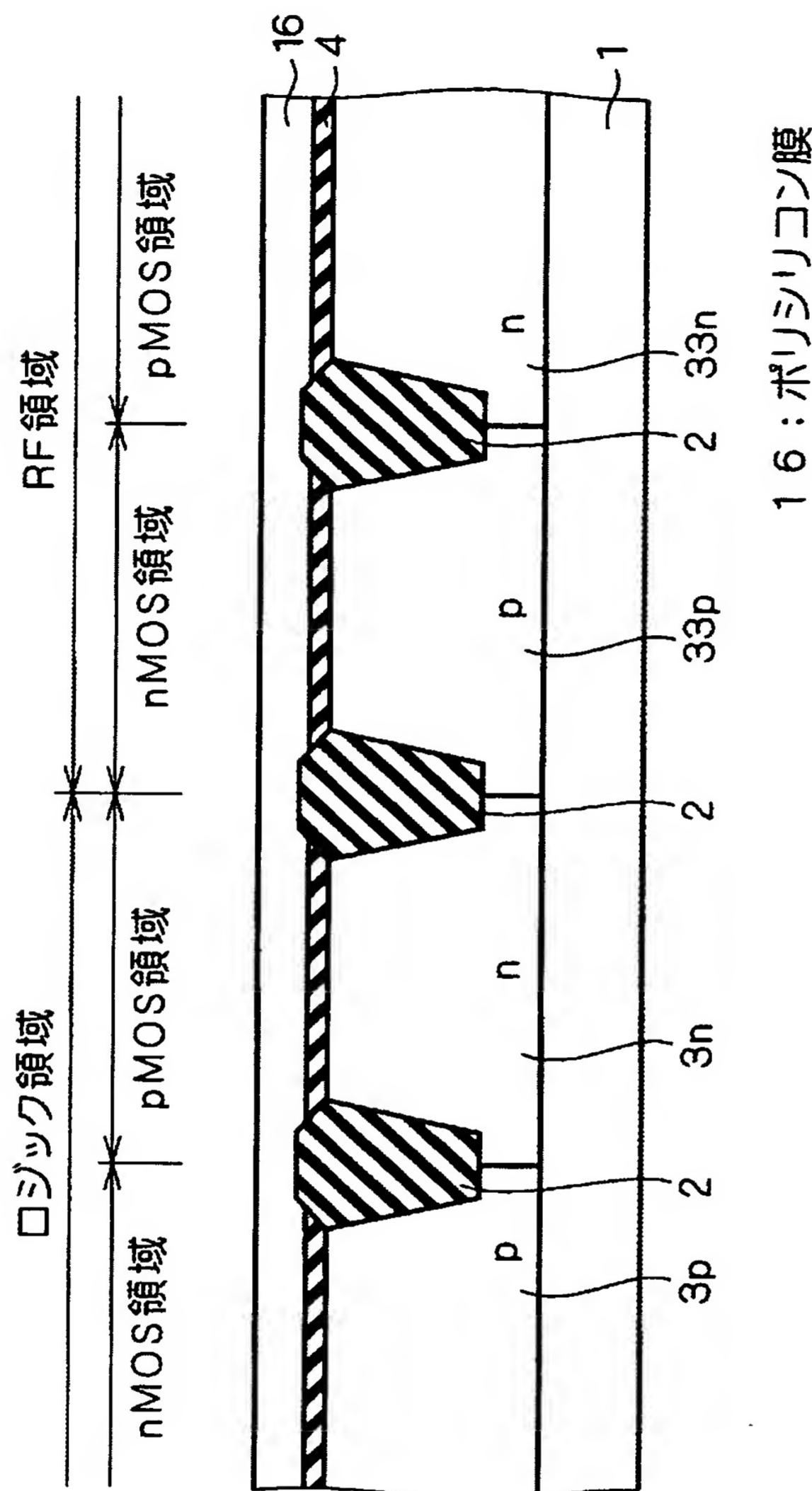


10n, 10p, 40n, 40p : ゲート電極
15p, 45n, 45p : ノットチ

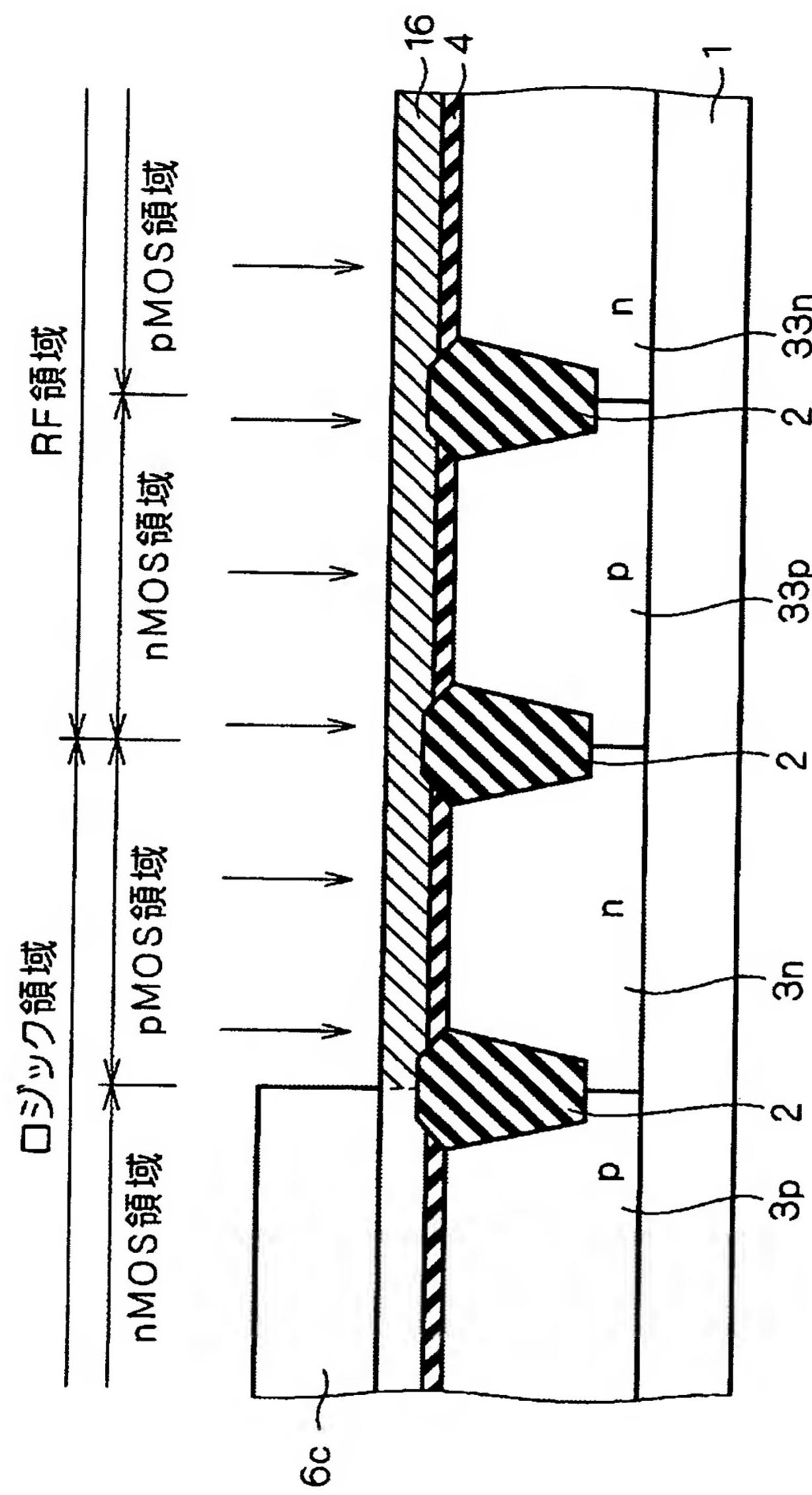
【図7】



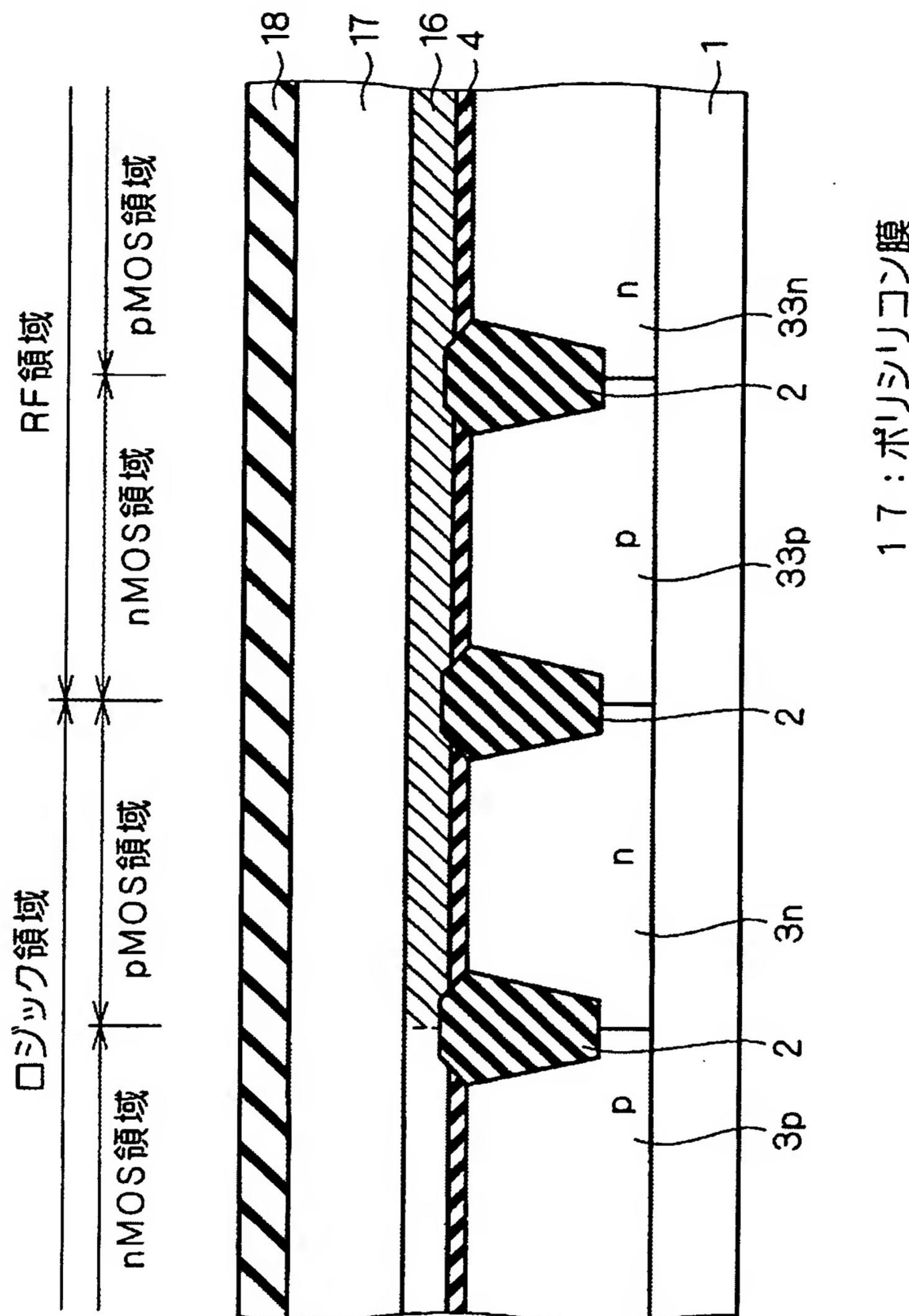
【図8】



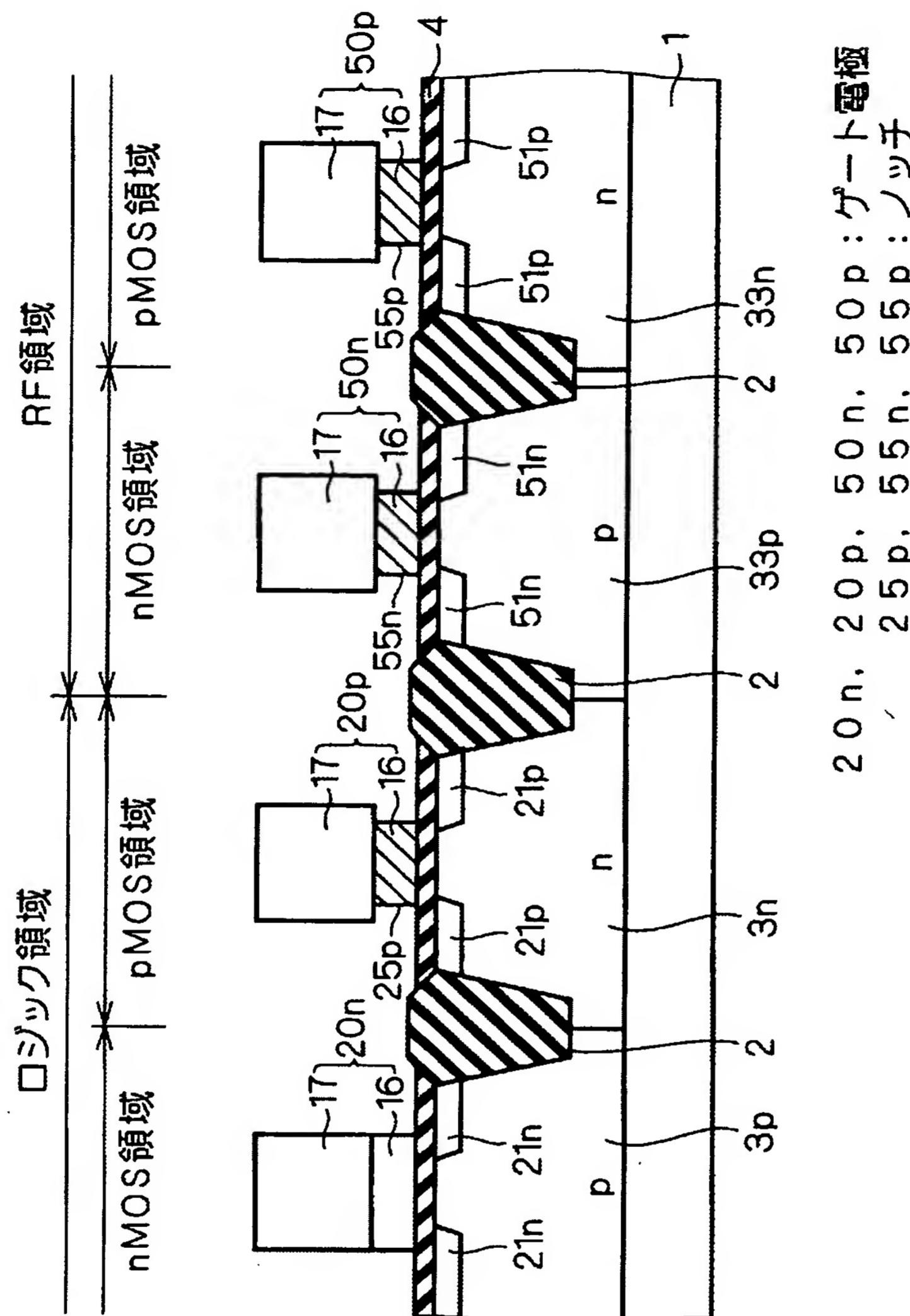
【図9】



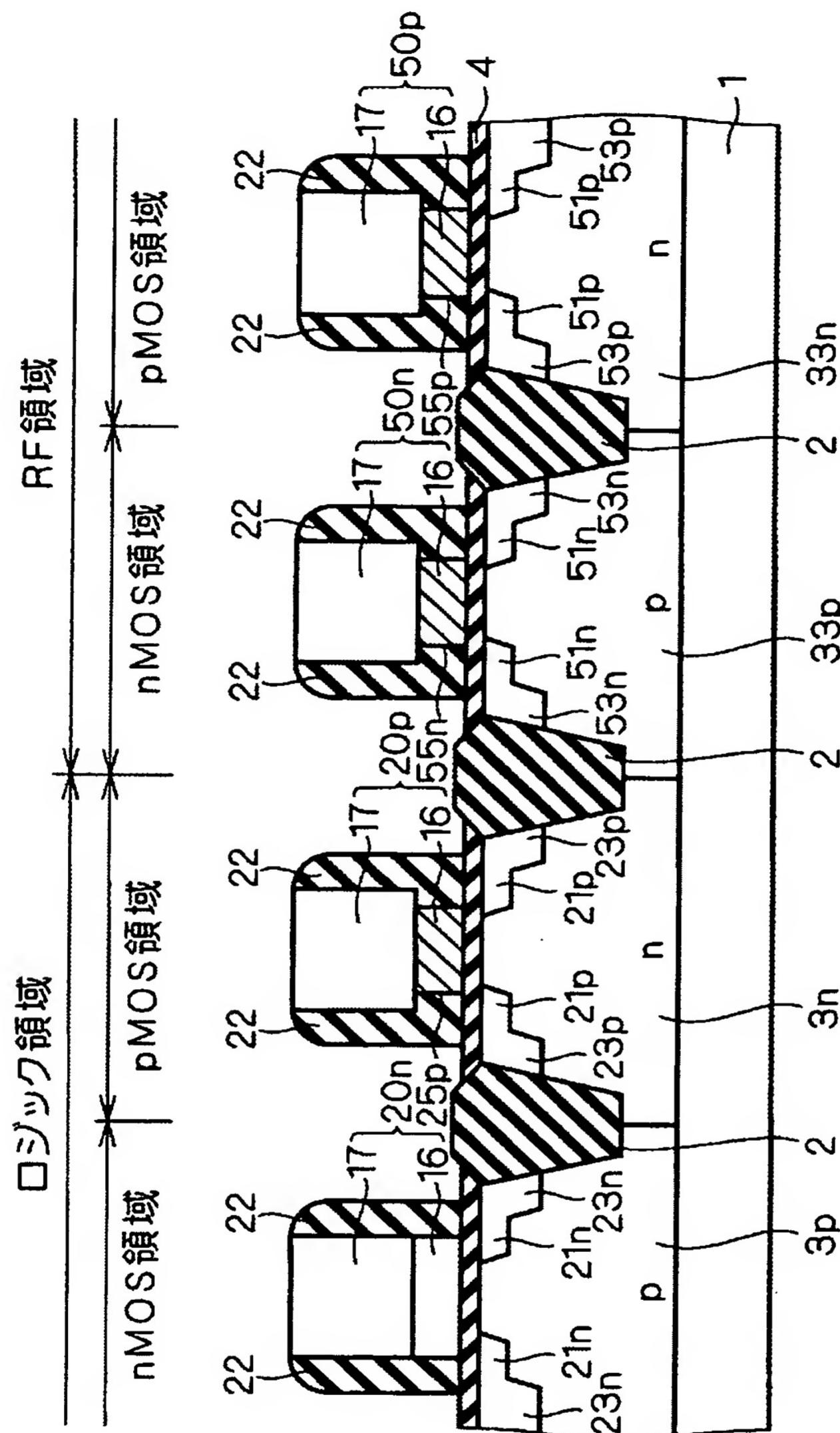
【図10】



【図11】

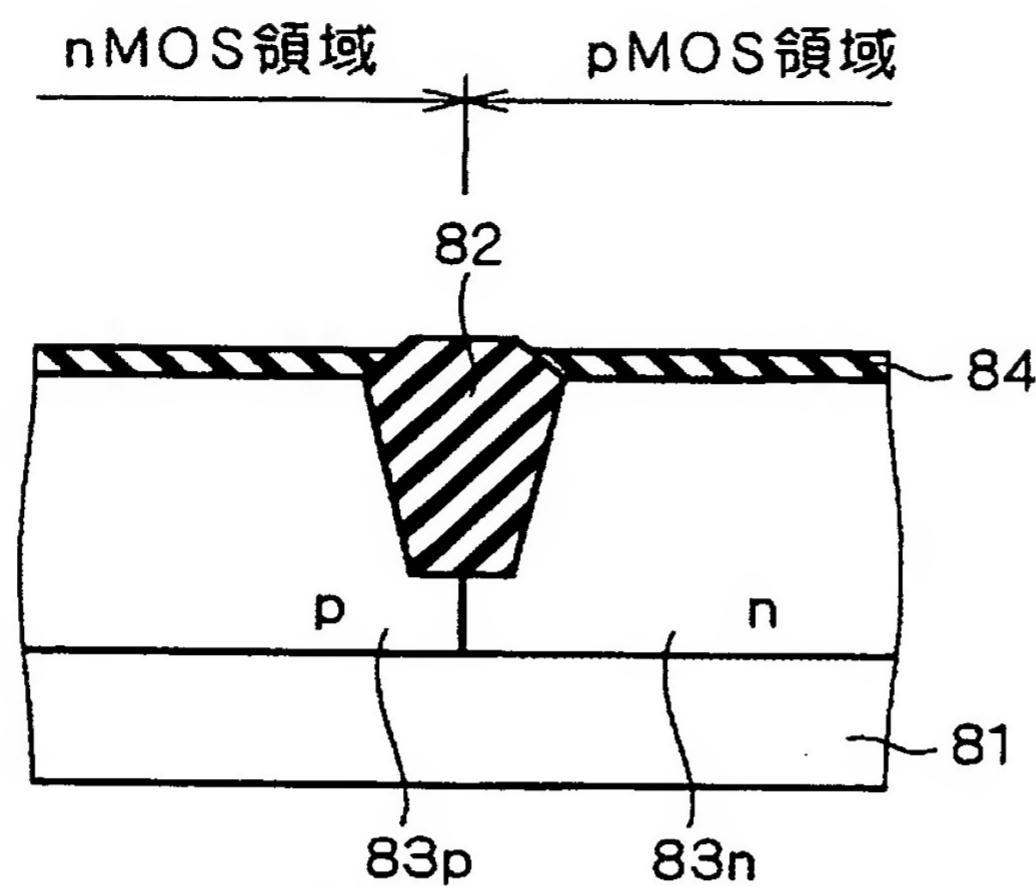


【図12】



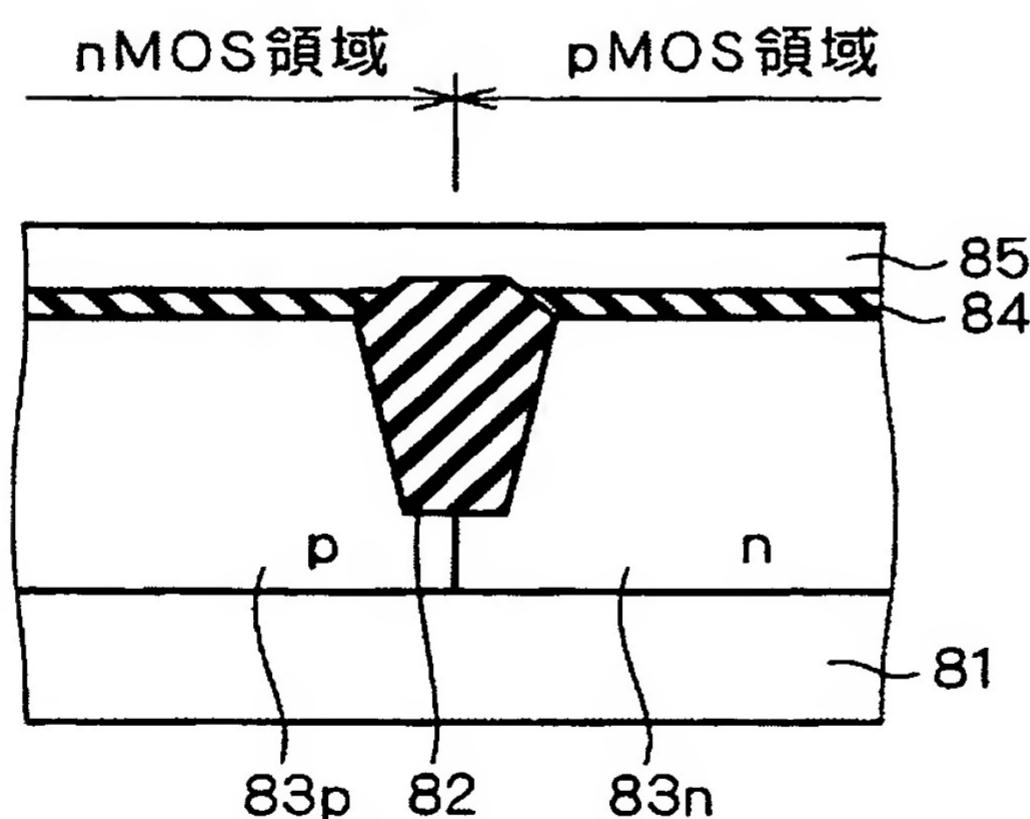
22 : サイドウオール

【図13】



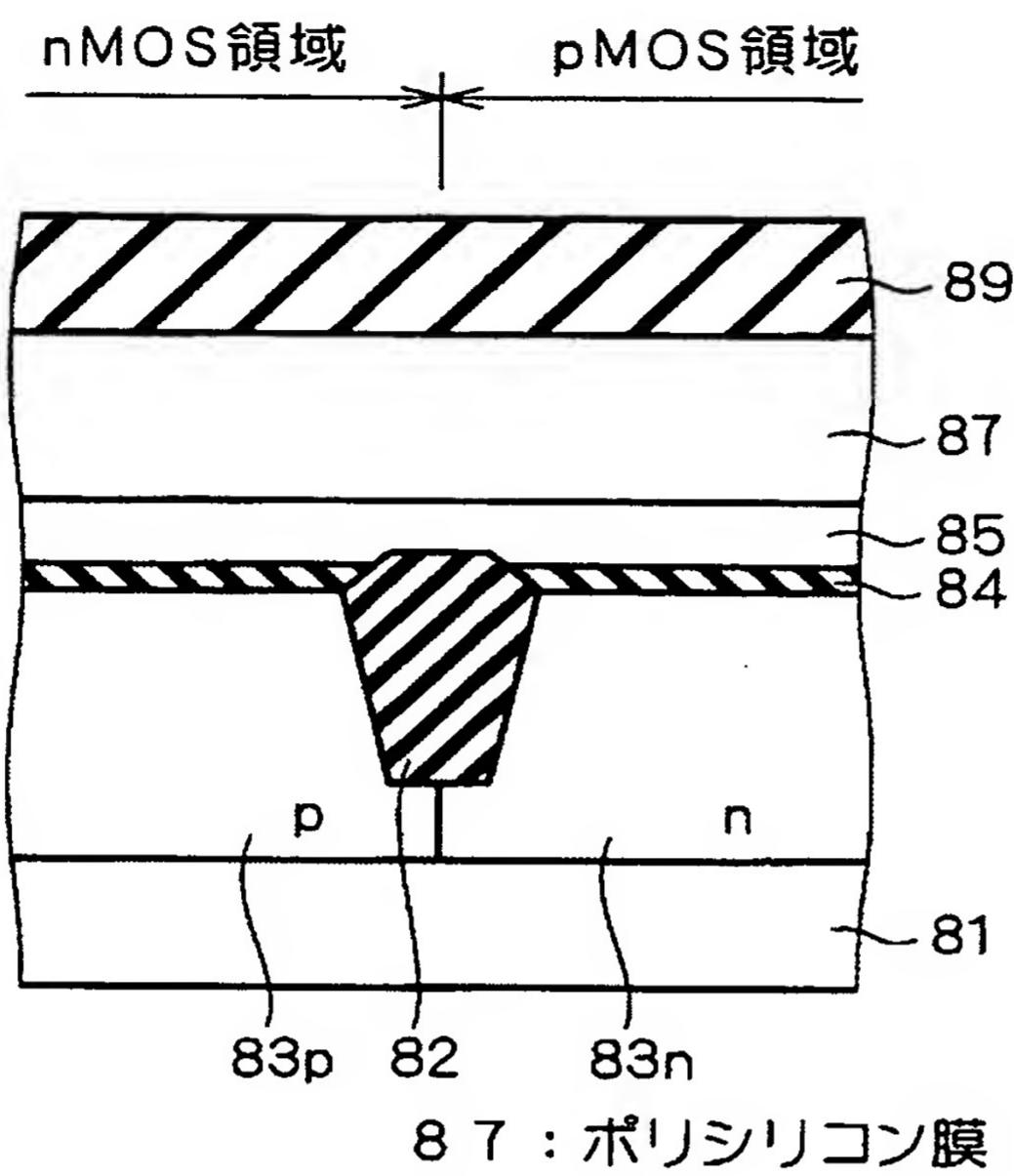
81 : 半導体基板
84 : ゲート絶縁膜

【図14】

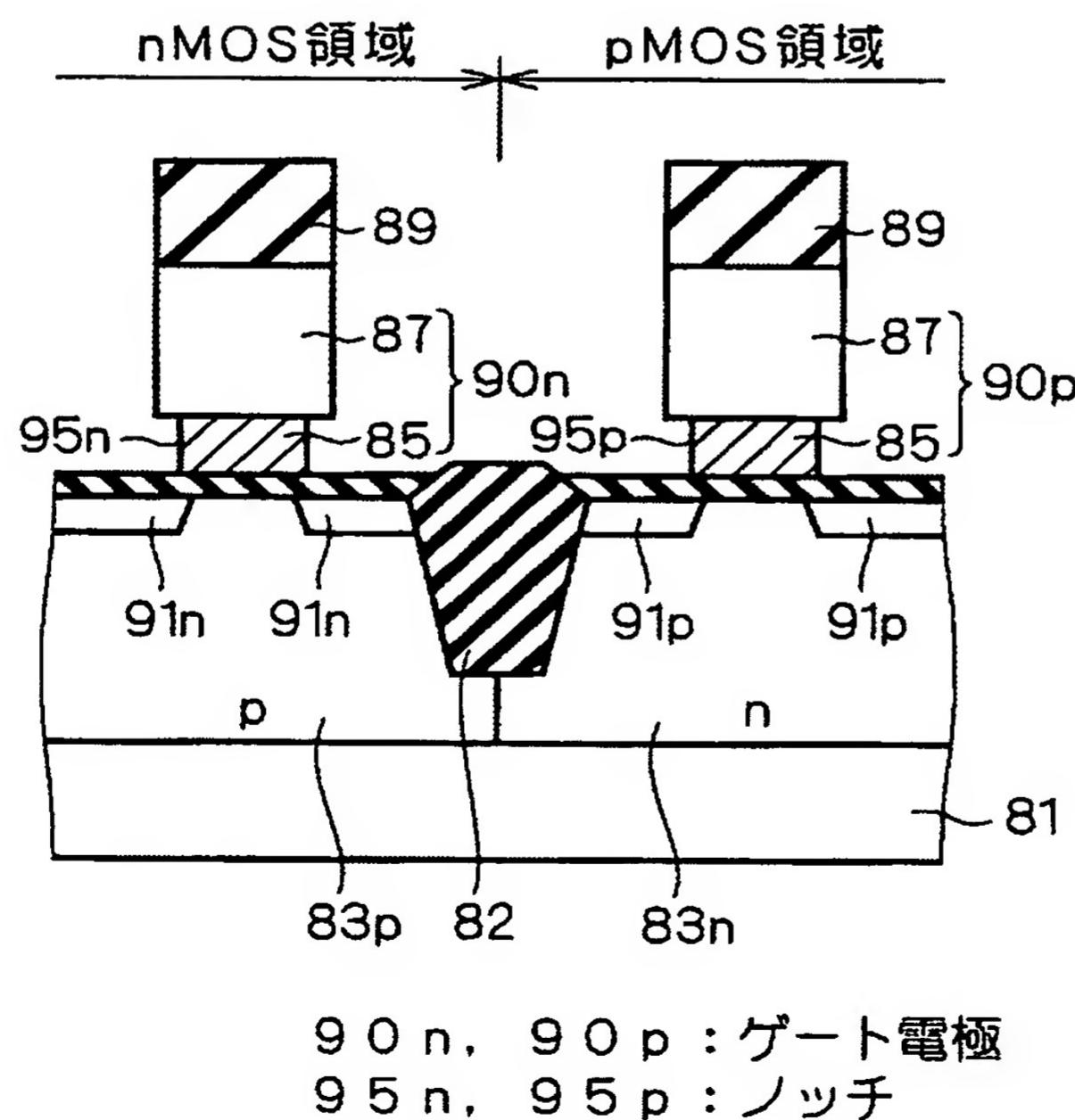


85 : ポリシリコン膜

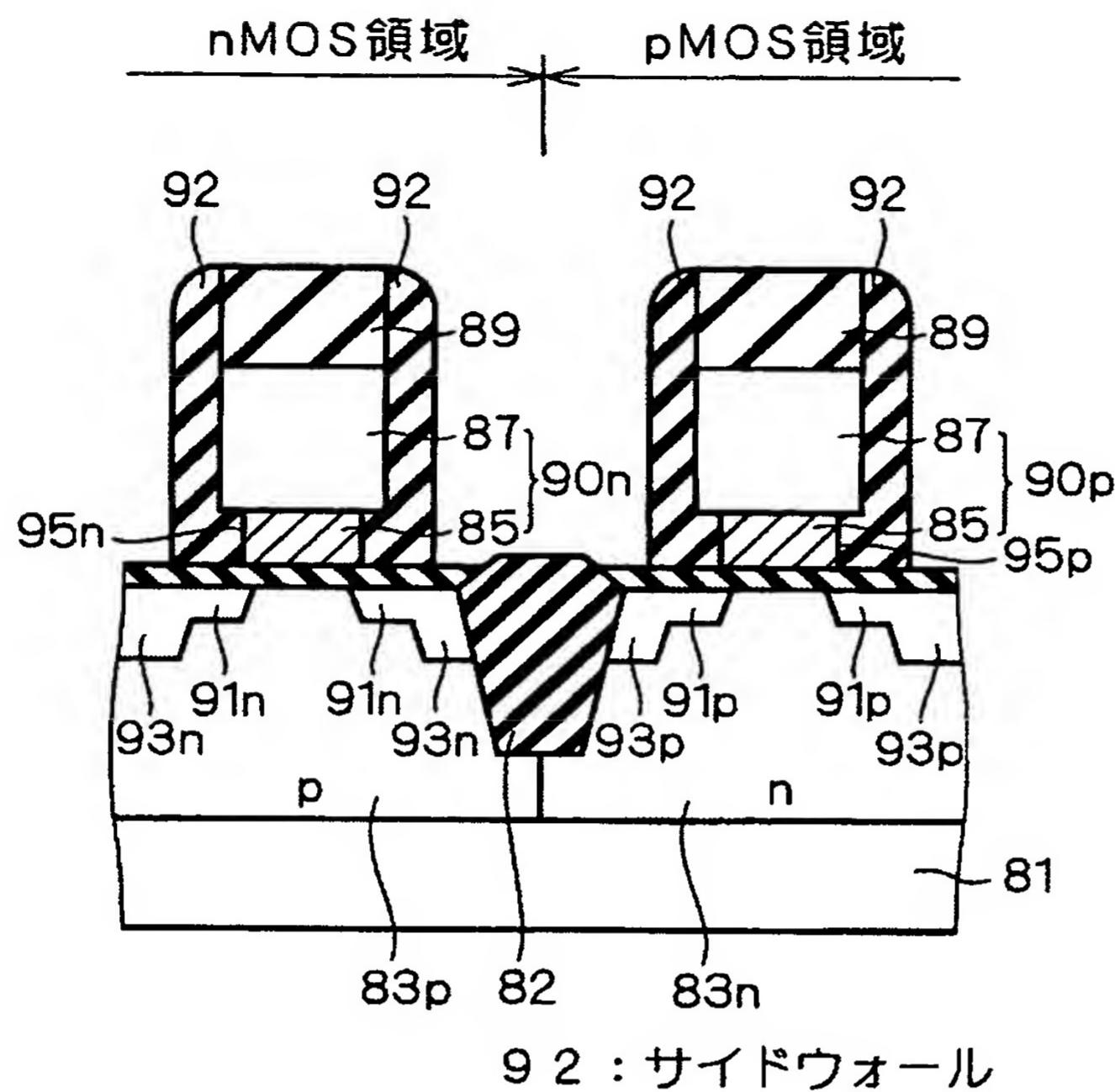
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 所望の形状のノッチをゲート電極の側面に形成することが可能な技術を提供する。

【解決手段】 半導体基板1上に、ゲート絶縁膜4と、ポリシリコン膜5, 7と、シリコン窒化膜9とをこの順で積層する。ポリシリコン膜5, 7はともにリンを含んでおり、ポリシリコン膜5は、ポリシリコン膜7よりもリン濃度が高い領域を有している。そして、ポリシリコン膜5, 7及びシリコン窒化膜9を部分的にエッティングして、ゲート絶縁膜4上にゲート電極10n, 10p, 40n, 40pを形成する。このとき、ポリシリコン膜5において、ポリシリコン膜7よりもリン濃度が高い領域では、ポリシリコン膜7よりもエッティングスピードが速くなるため、ゲート電極10p, 40n, 40pの側面の底部にノッチが形成される。

【選択図】 図6

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社